

# Du transistor aux nanotubes

Jean-Claude Boudenot, Thales

# Plan

- Les premiers pas
- Loi de Moore et intégration
- Les limites de la loi de Moore
- Vers une nouvelle électronique

# Plan

- **Les premiers pas**
- Loi de Moore et intégration
- Les limites de la loi de Moore
- Vers une nouvelle électronique

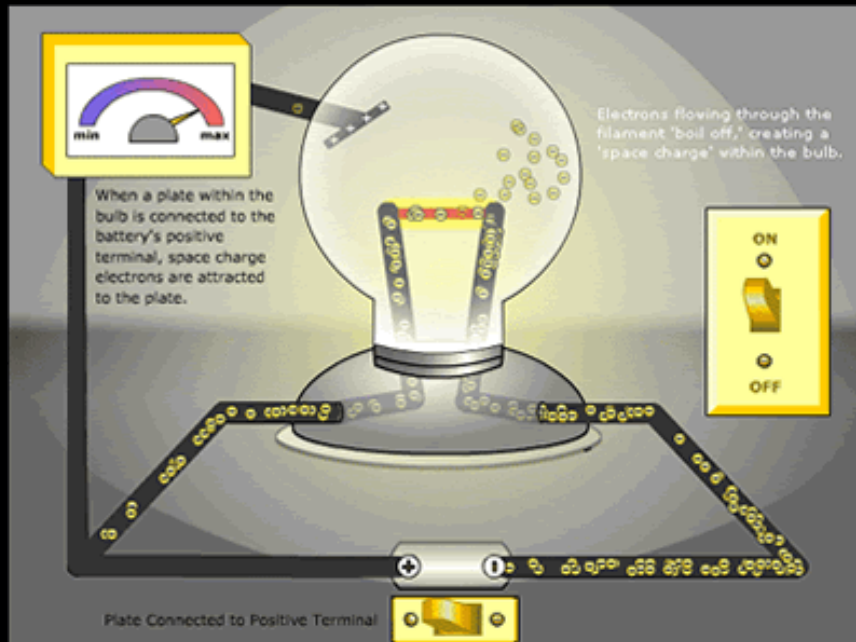
# Les nanotechnologies : une vieille histoire !



**Coupe de Lycurgus, Empire romain IV<sup>e</sup> Siècle, British Museum**

Lumière transmise = rouge ; lumière réfléchie = verte  
(présence dans le verre de particule de 40 nm)

# 1883 : Thomas Alva Edison



Effet Edison : un courant passe du filament à une plaque métallique positive



# 1904 :Fleming invente la diode

- John Amrose Fleming a fait des recherches à Cambridge avec Maxwell
- Il rejoint en 1882 la société Edison (filiale anglaise)
- Il travaille à partir de 1889 pour la *Wireless and Signal Company* de Marconi
- Fleming invente la valve (diode) en 1904
- L'effet redresseur est rapidement utilisé pour la détection des ondes



# 1906 : Lee de Forest invente la triode

- Lee de Forest améliore la valve de Fleming en insérant entre la cathode et l'anode une grille permettant de contrôler le signal
- Il appelle son tube l'*Audion* (triode)
- L'*Audion* peut amplifier le signal et produire des oscillations entretenues



*Lee De Forest et sa triode*

# 1874 : Ferdinand Braun découvre les semi-conducteurs

- 1874 : Découvre l'effet redresseur du cristal de galène (PbS)
- 1901 : Remplace le cohéreur de Branly par un cristal de galène
- 1906 : Participe à la création du premier poste à galène







## Le Général Ferrié

1900 : Ferrié met au point un "détecteur électrolytique" très sensible ( $7 \mu\text{W}$ )

En 1912 il propose de fonder le **Comité National Français de Radioélectricité Scientifique (CNFRS)** qui sera effectivement créé en 1913

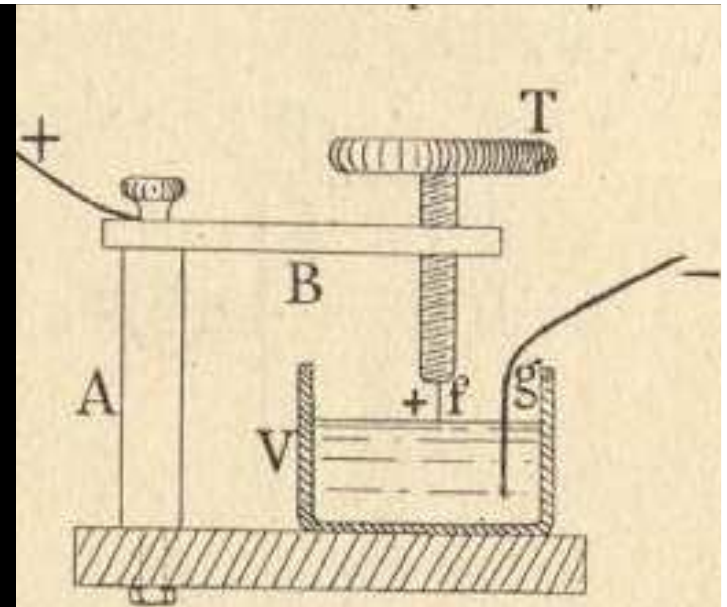


Fig. 126.

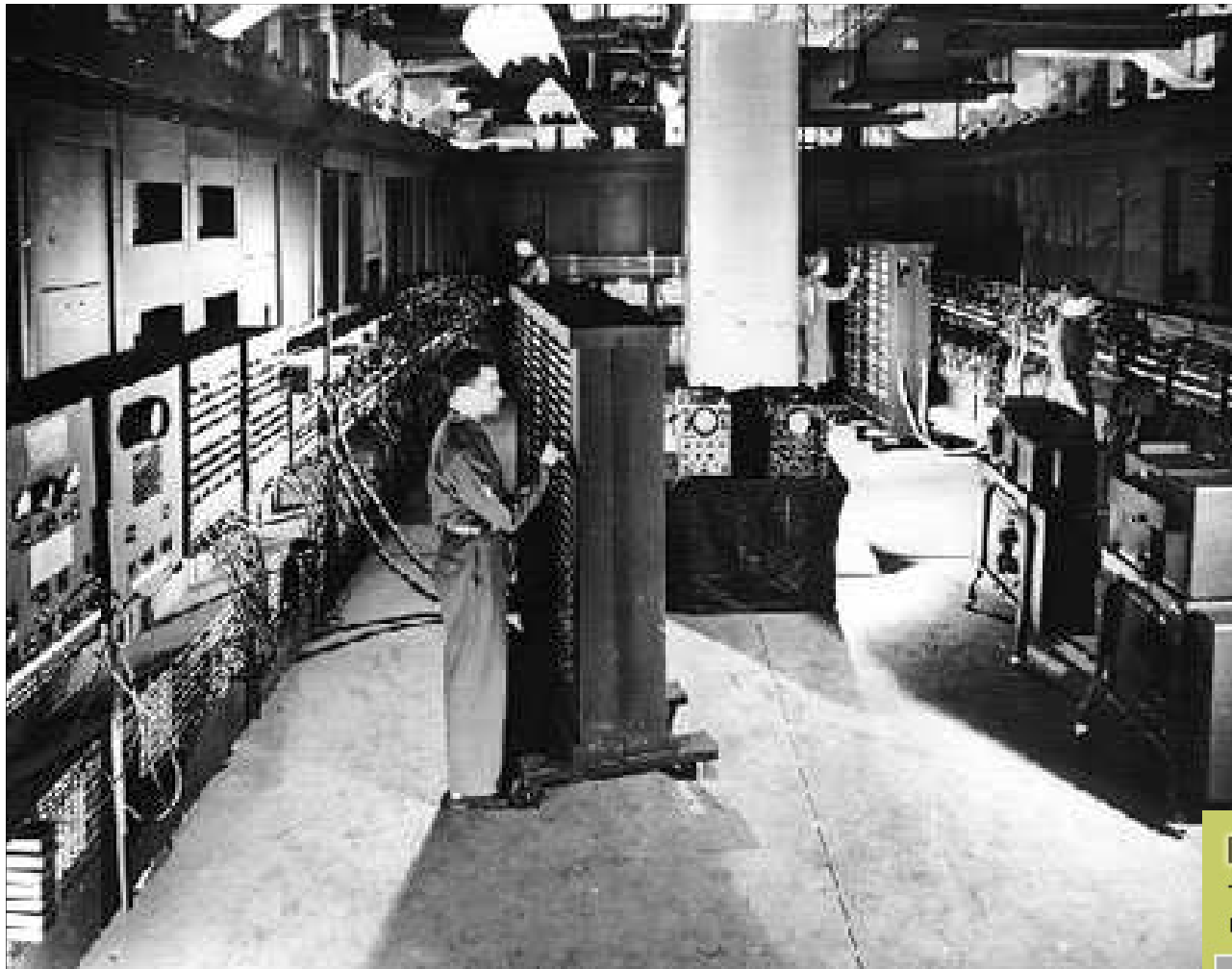


# 1940 : Russel Ohl invente la jonction PN

La jonction PN est développée au Bell Labs, elle délivre une tension de 0,5 V lorsqu'elle est exposée à la lumière



*Russel Ohl aux Bell Labs*



# 1946 1<sup>er</sup> calculateur ENIAC

**ENIAC : 200 kW, 28 tonnes,  
18 000 tubes, puissance de calcul  
inférieure à celle d'une calculette de  
poche actuelle**

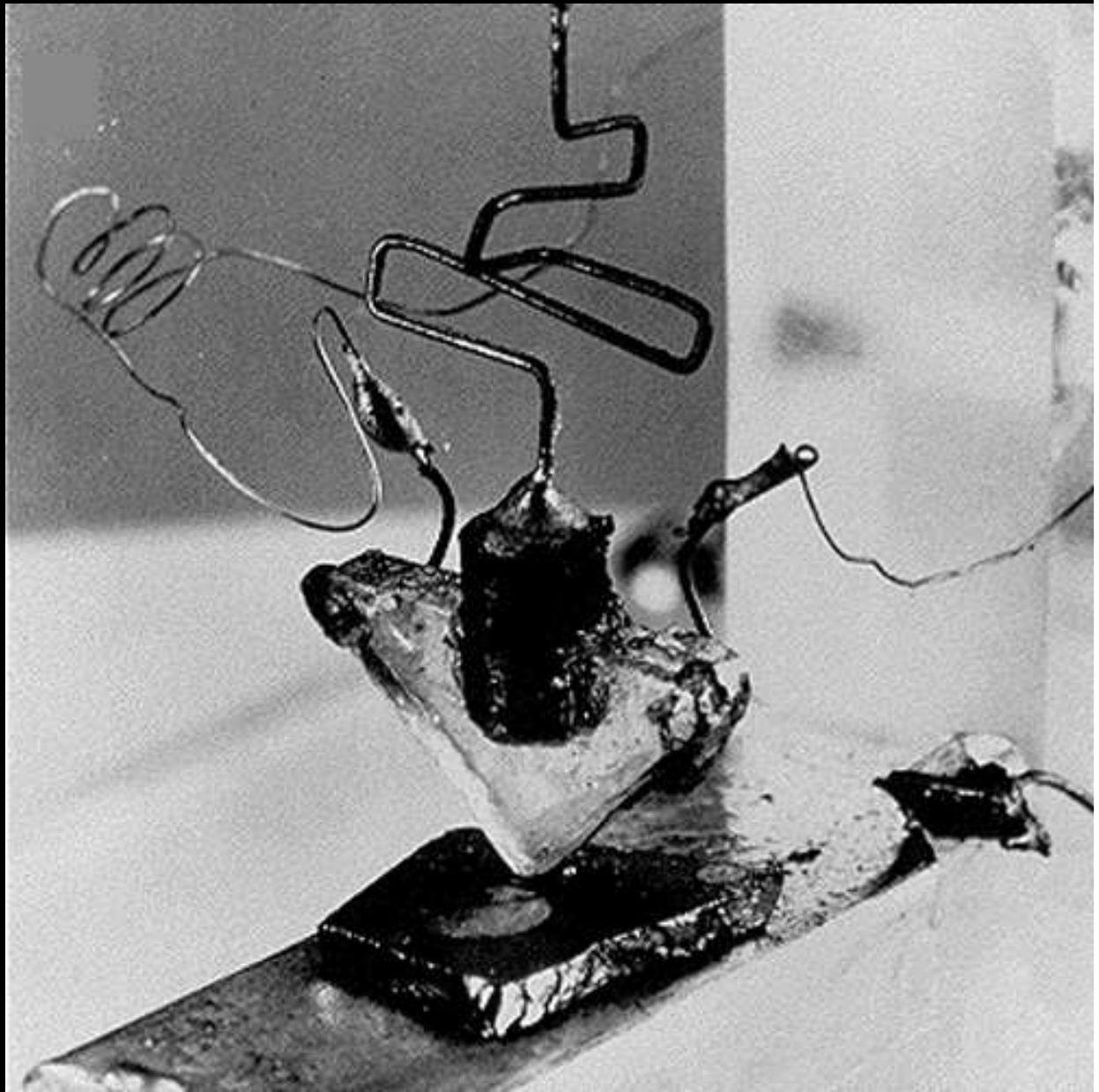
## DOWNSIZING AND UPGRADING

The inception of computing inspired a remarkable race for faster, smaller, lighter, cheaper hardware.

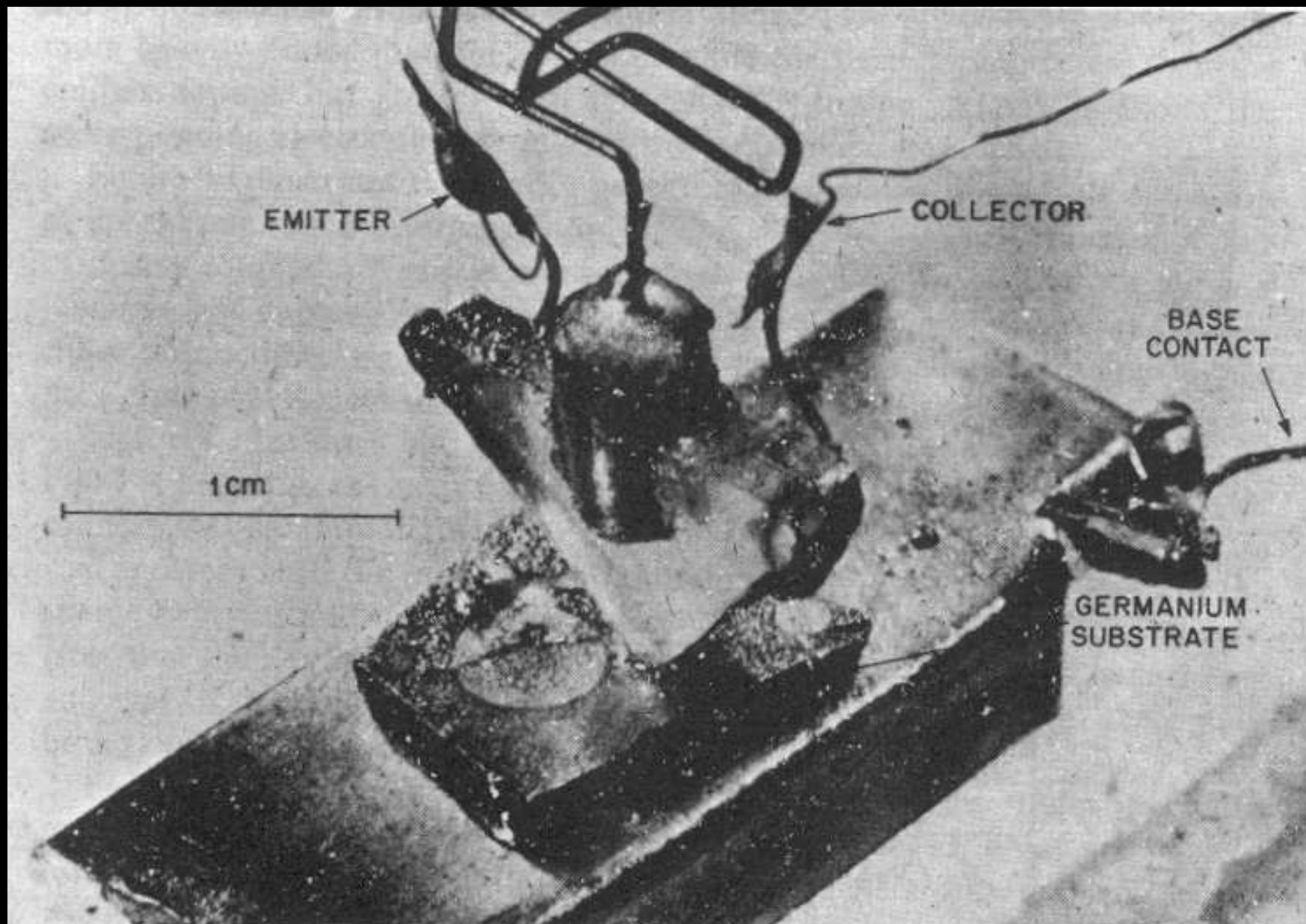
|               | <b>ENIAC</b>                | <b>Intel Core Duo chip</b> |
|---------------|-----------------------------|----------------------------|
| Debut         | 1946                        | 2006                       |
| Performance   | 5,000 addition problems/sec | 21.6 billion ops/sec       |
| Power use     | 170,000 watts               | 31 watts max               |
| Weight        | 28 tons                     | negligible                 |
| Size          | 80' w x 8' h                | 90.3 sq. mm.               |
| What's inside | 17,840 vacuum tubes         | 151.6 M transistors        |
| Cost          | \$487,000                   | \$637                      |

1945 : les Bell Labs montent un groupe de recherche (dirigé par William Shockley) pour développer une alternative au tube électronique

1947 : Bardeen et Brattain réussissent à faire un circuit amplificateur en utilisant un « point-contact **transfer resistor** »  
(**transistor**)



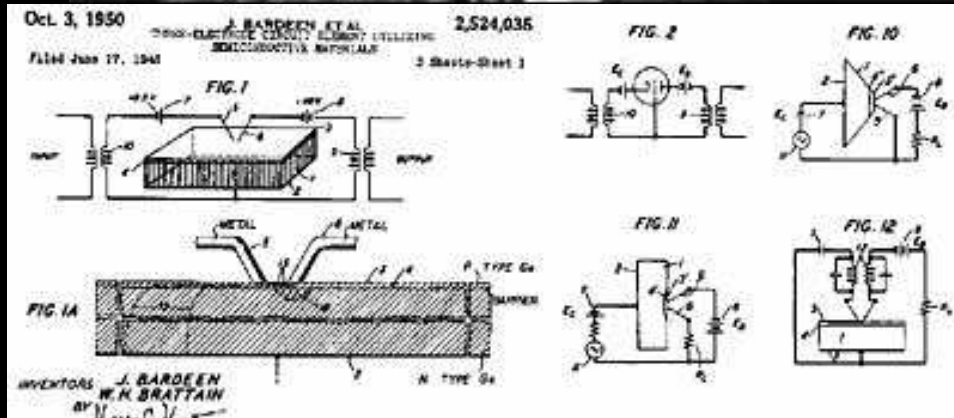
Premier transistor à pointe (germanium)  
Bells Labs, 1947



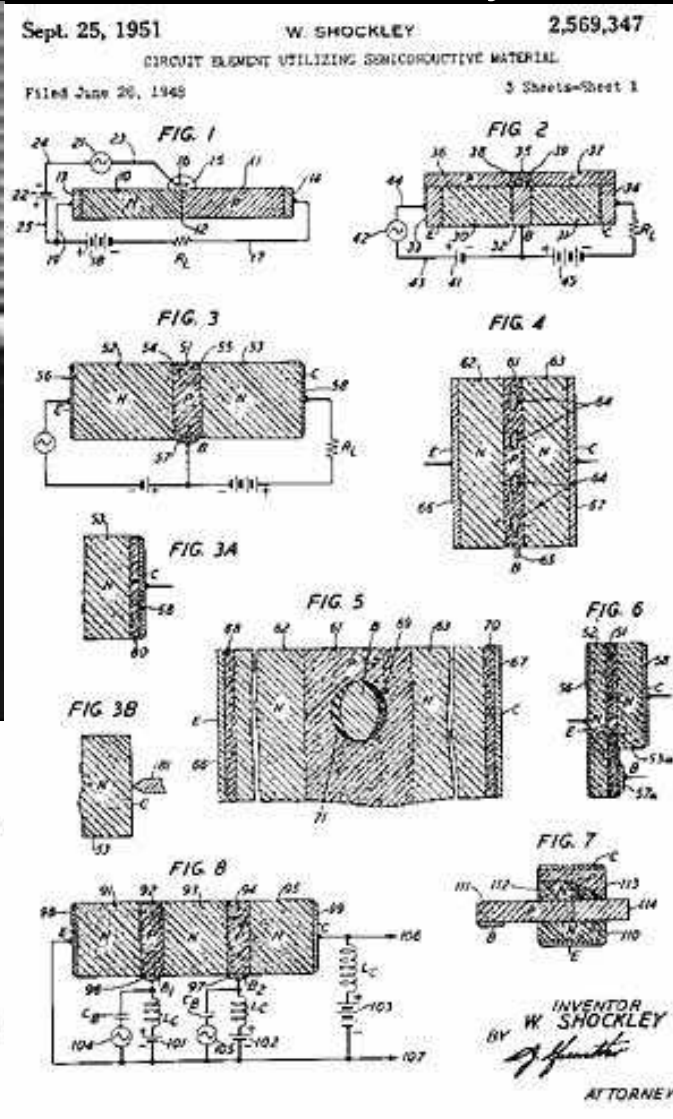


# Invention du transistor : 17 novembre – 23 décembre 1947

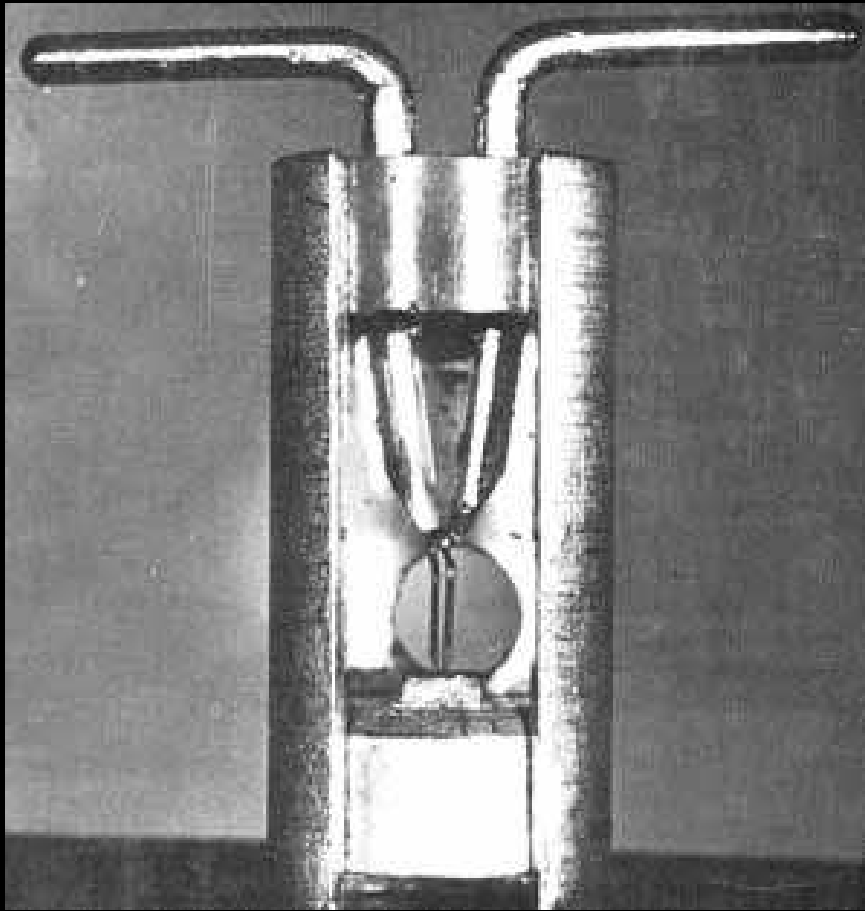
James Bardeen - William Brattain - William Shockley



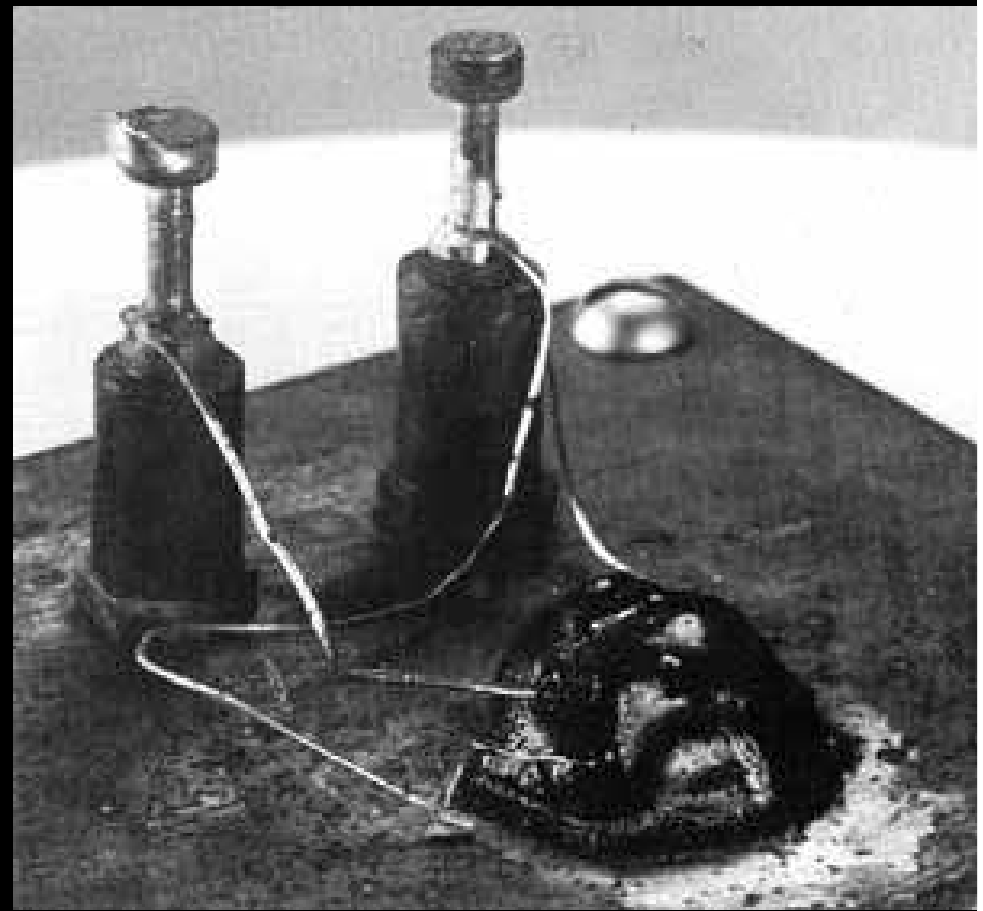
Brevet du transistor à pointe  
J. Bardeen & W. Brattain, 17 juin 1948



Brevet du transistor à jonction  
William Shockley, 26 juin 1948



*Transistor à pointe*



*Transistor à jonction*

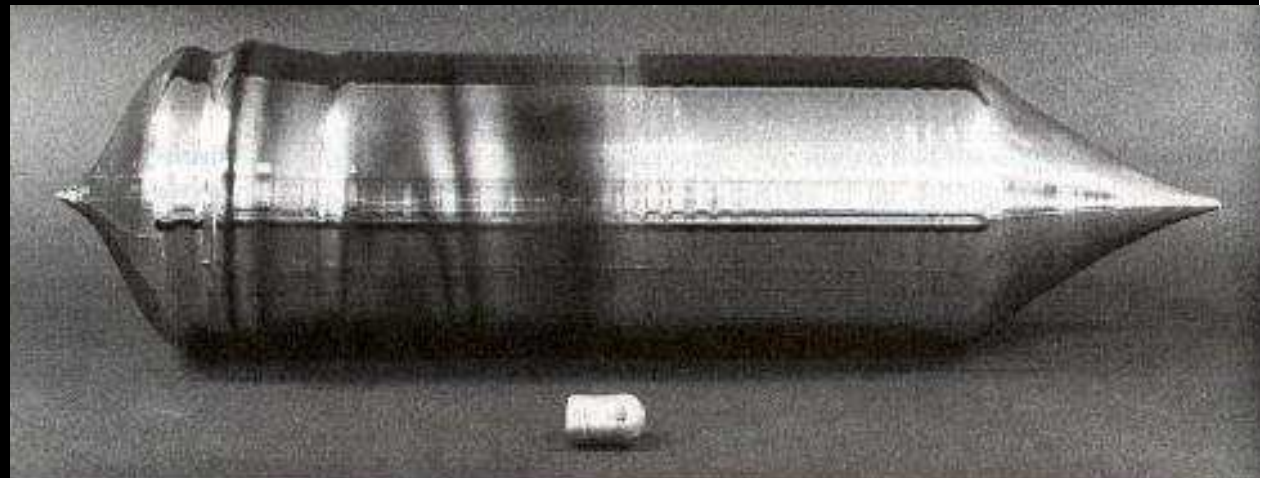
1950 : Le transistor à jonction (n-p-n) de Shockley se révèle plus facilement réalisable

# Vers le premier circuit intégré

- 1952 : Fabrication du premier cristal de silicium
- 1954 : Premier transistor en silicium commercial (Texas Instrument)
- 1957 : Technologie MESA (Texas Instrument)
- 1958 : Technologie Planar (Fairchild)



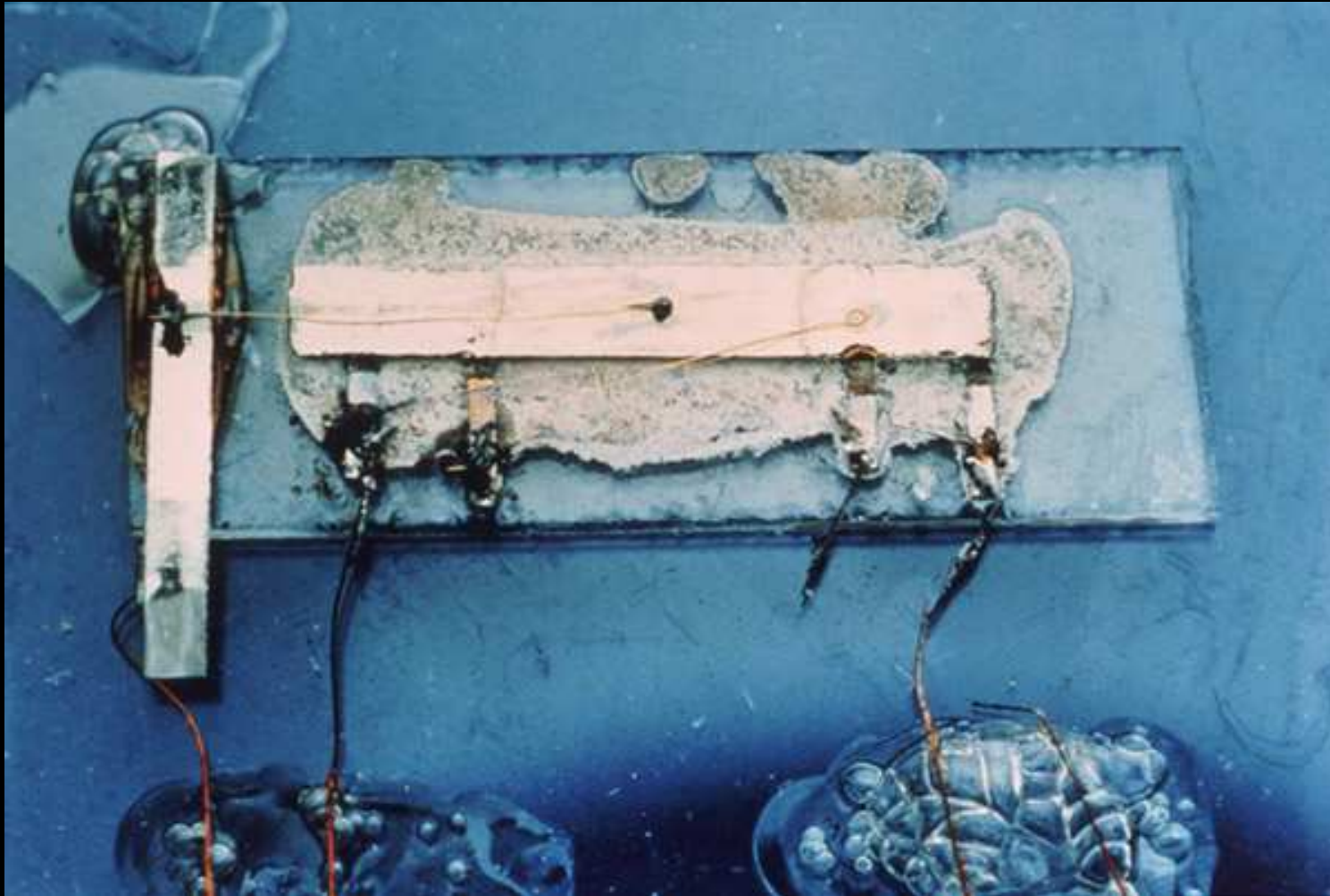
*Premier transistor (TI)*



*Cristal de silicium obtenu par la méthode de Czochralski  
1<sup>er</sup> lingot (< 1'' ) comparé à un lingot de 8''*



Premier circuit intégré, Jack Kilby's  
12 septembre 1958, Texas Instrument  
*5 composants de 3 types : transistor, résistance, capacité*



42 ans plus tard

...

Jack S. Kilby reçoit  
le prix Nobel  
(10 décembre 2000)



# Jack Kilby (1923-2005)




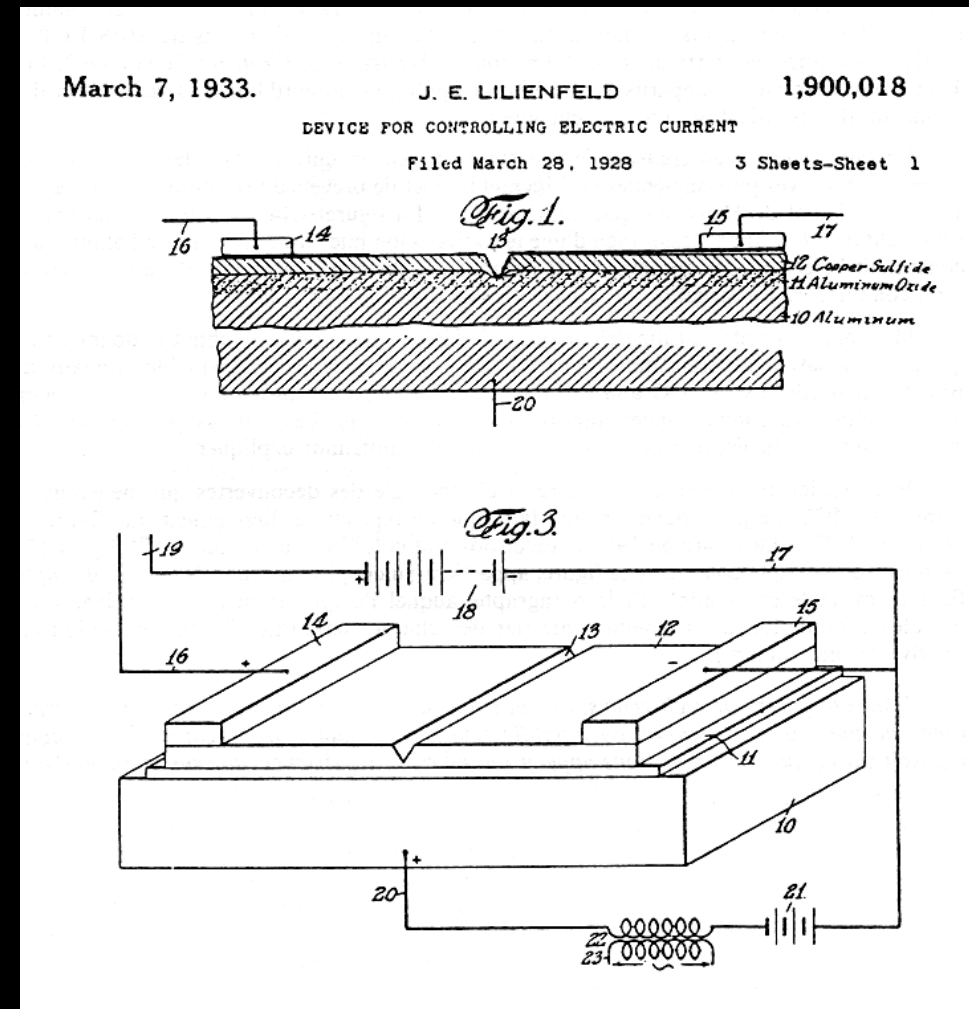
Jack Kilby vers 1958 peu  
après la découverte du  
circuit intégré



Jack Kilby avec un wafer de  
300 mm

# Invention du transistor à effet de champ

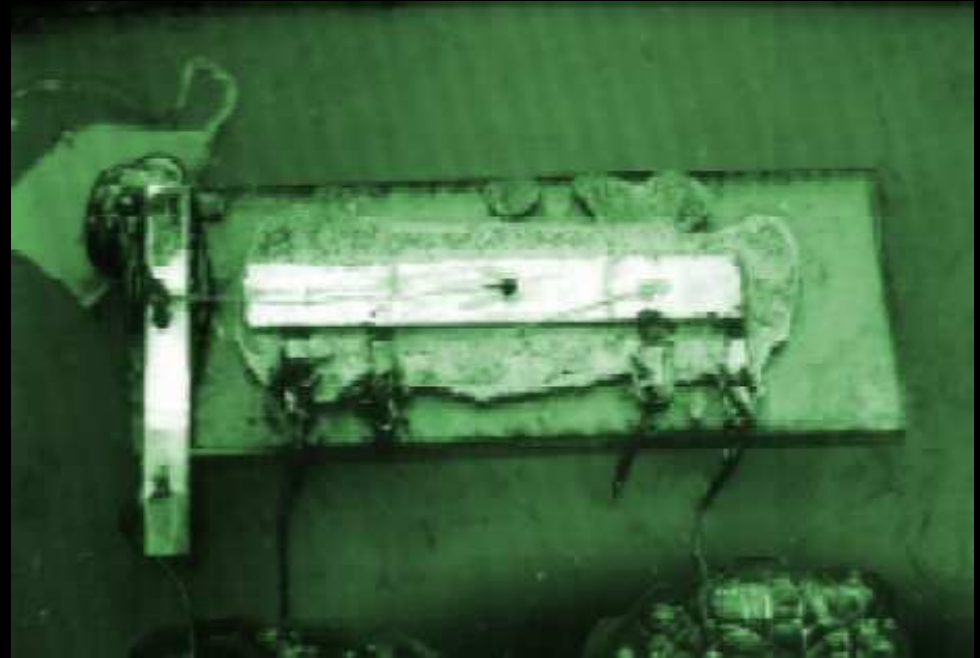
- Invention du concept en 1925-1928 par J.E Lilienfeld
- Concept = triode à l'état solide (d'où le nom de grille pour l'électrode de commande)
- Brevet déposé : 
- Pas de réalisation pratique avant 1960





# Invention du transistor à effet de champ

- 1ère réalisation en 1959 par John Attala, Dawon Kahng et Labate
- Grâce au contrôle de l'état d'interface entre l'isolant de grille et le SC du canal



Premier MOS

Moins de 50 ans plus tard  
c'est l'objet manufacturé le  
plus répandu au monde :  
 $10^{19}$  par an, soit plus d'un  
milliard de transistors par  
habitant de la planète



**Gordon Moore estimated**

in 2003 that the number  
of transistors shipped  
in a year had reached about  
10,000,000,000,000,000,000 ( $10^{19}$ ).  
That's about 100 times the number  
of ants estimated to be  
in the world.

# Du MOS au CMOS

- 1960 : Réalisation du 1<sup>er</sup> transistor MOS
- 1961 : 1<sup>er</sup> circuit intégré MOS (Fairchild et Texas Instruments)
- 1962 : Invention de la logique TTL
- 1963 : 1<sup>er</sup> circuit pMOS produit par RCA
- 1963 : Invention du CMOS (Frank Wanlass, Fairchild Semiconductor)



# Plan

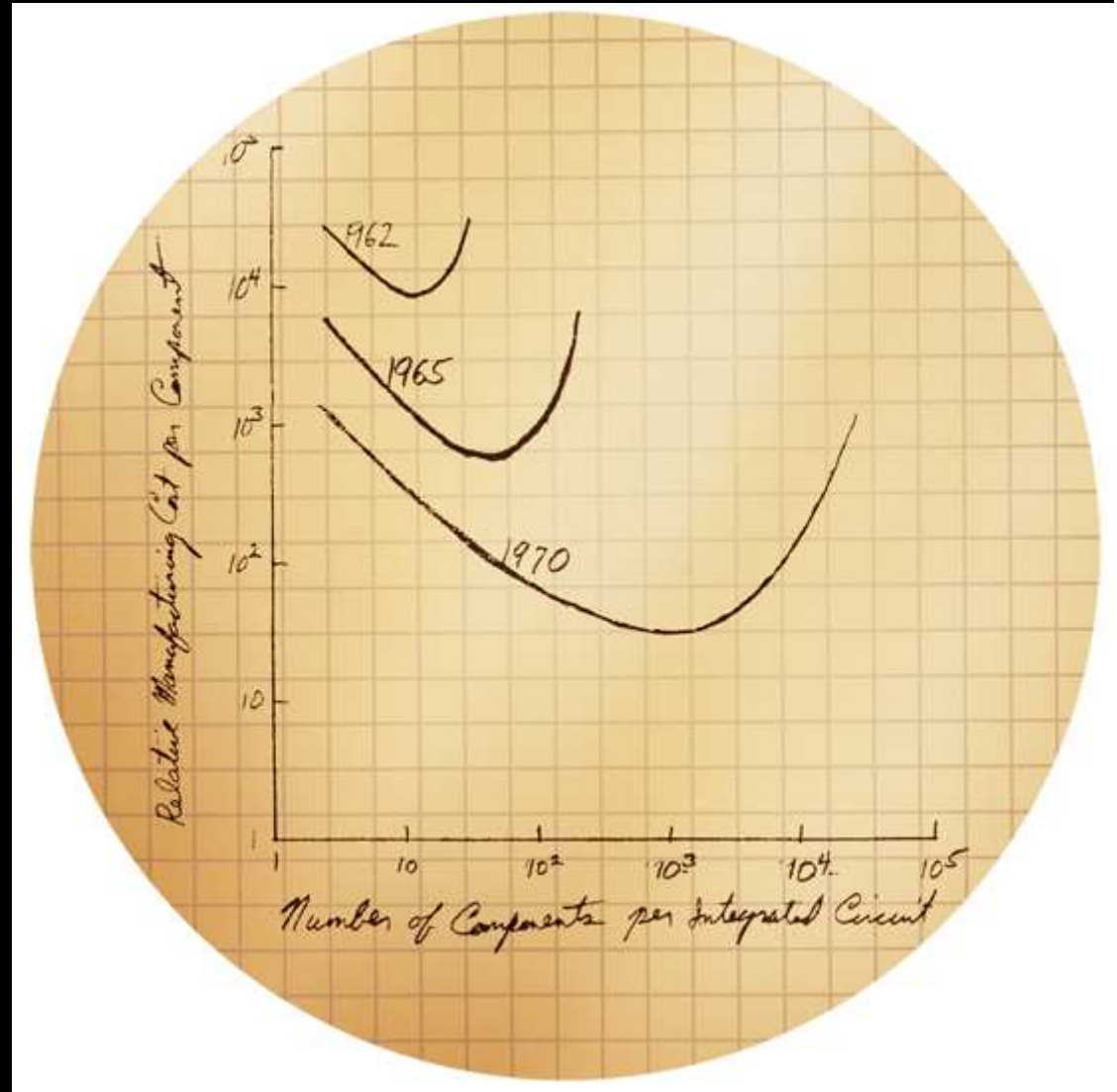
- Les premiers pas
- **Loi de Moore et intégration**
- Les limites de la loi de Moore
- Vers une nouvelle électronique





## 1965 : Gordon Moore énonce sa loi

- 1959 : 1 T
- 1962 :  $2^3 = 8$  T
- 1963 :  $2^4 = 16$  T
- 1964 :  $2^5 = 32$  T
- 1965 :  $2^6 = 64$  T
- ...
- 1975 :  $2^{16} = 65000$  T...

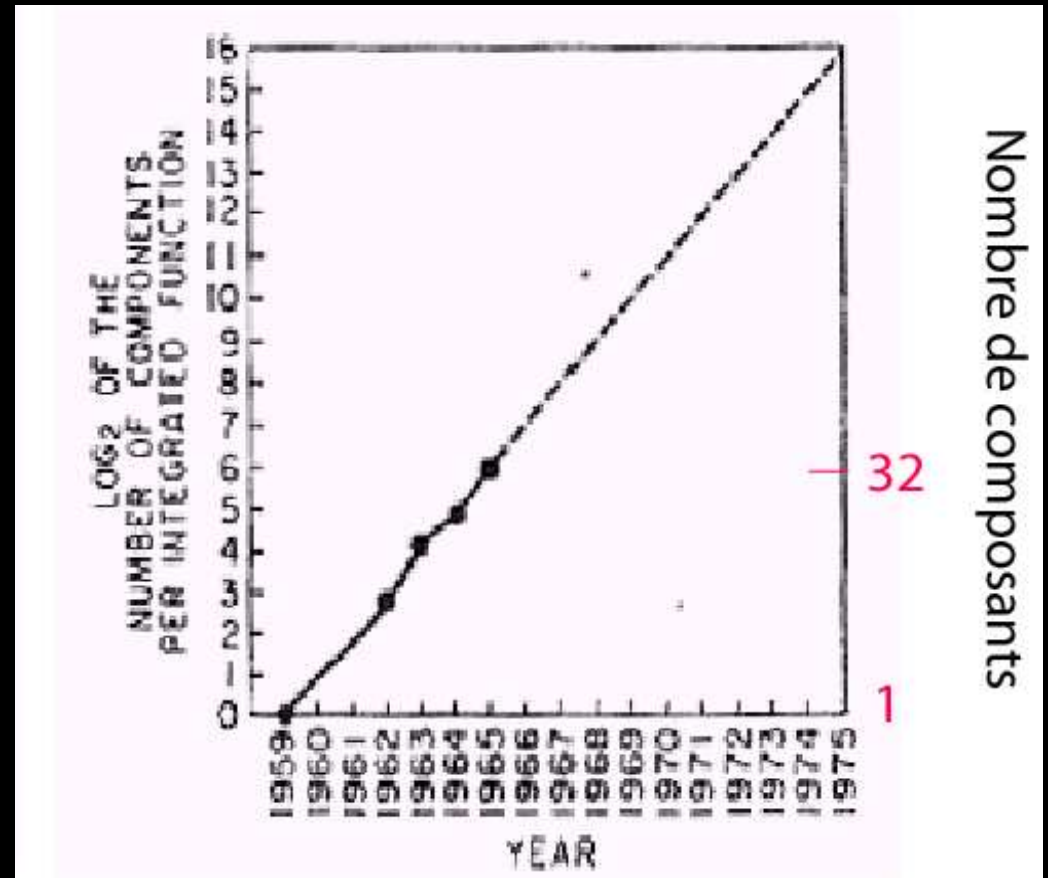


*Loi de Moore, par Moore*

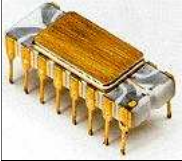
# 1965 : Gordon Moore énonce sa loi

*Une telle densité de composants peut être obtenue par les techniques optiques actuelles. Seul un effort d'ingénierie est nécessaire*

Gordon Moore, Electronics  
38, 19 avril, 1965

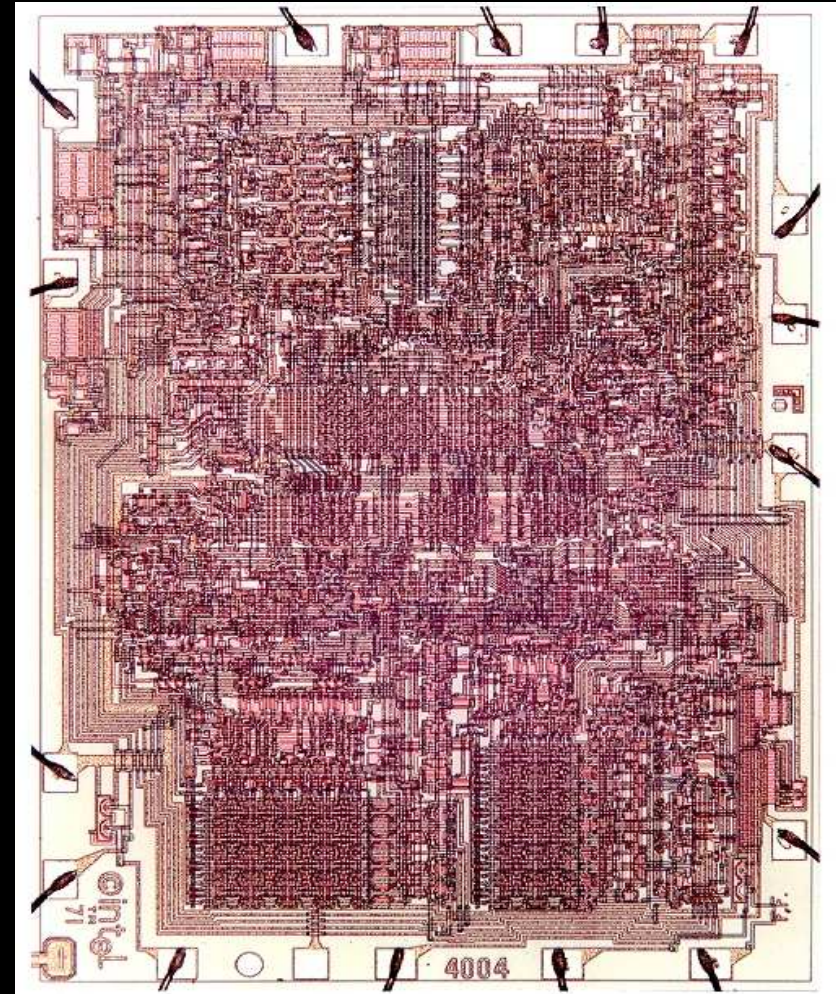


*Loi de Moore, par Moore*



## 1971 : Invention du microprocesseur 4004 d'Intel

- 4 bit
- 2 kbit de ROM
- 320 bit de RAM
- 2300 transistors
- Techno PMOS 10  $\mu\text{m}$
- Fréquence = 108 kHz
- Dimension de la puce 3.5 mm<sup>2</sup> )



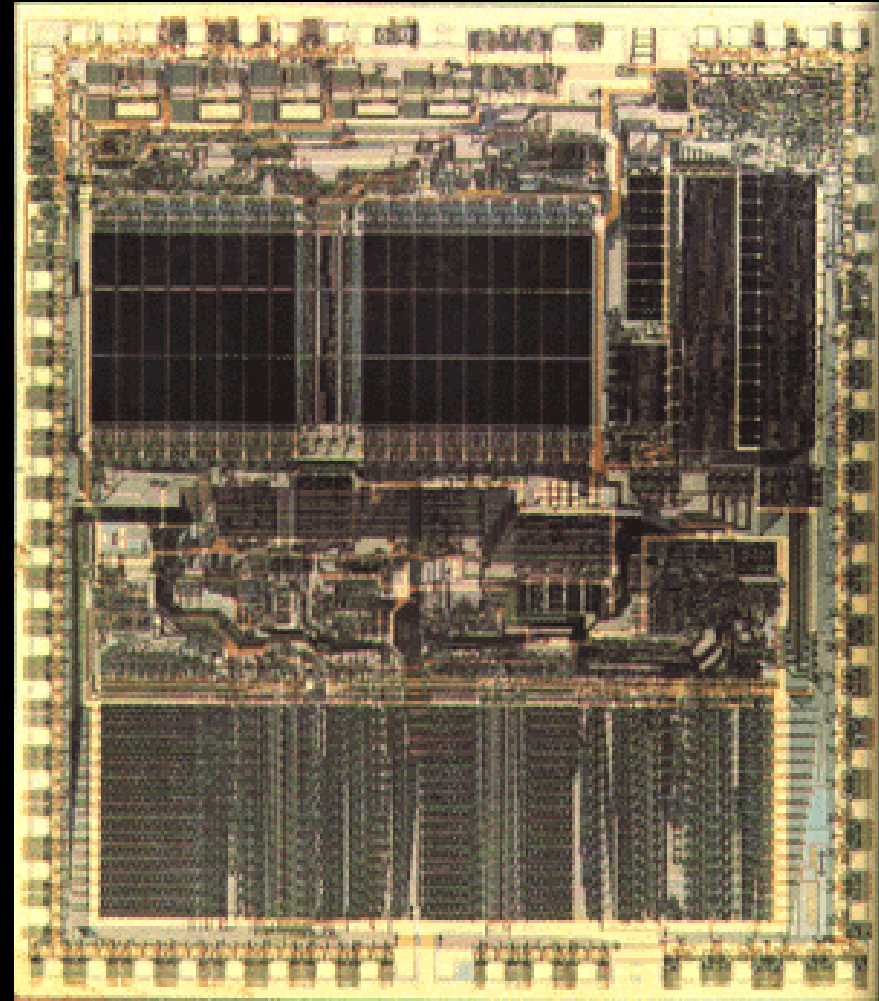
1972 : 1<sup>ère</sup> calculatrice scientifique HP 35 : 4000 T (techno 10  $\mu\text{m}$ )



## 1979 : Introduction du 68000 de Motorola

Le processeur 68000 de Motorola, composé de 68000 transistors en technologie 3 microns, a été annoncé en 1979

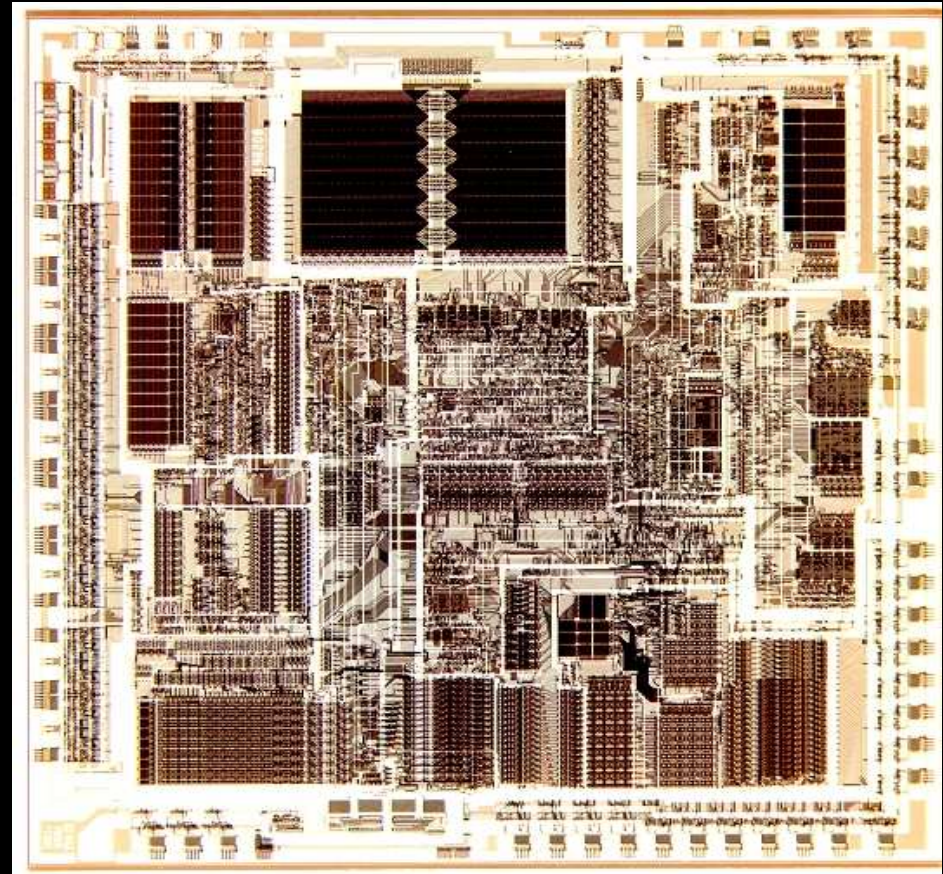
Il s'est beaucoup utilisé à partir de 1981





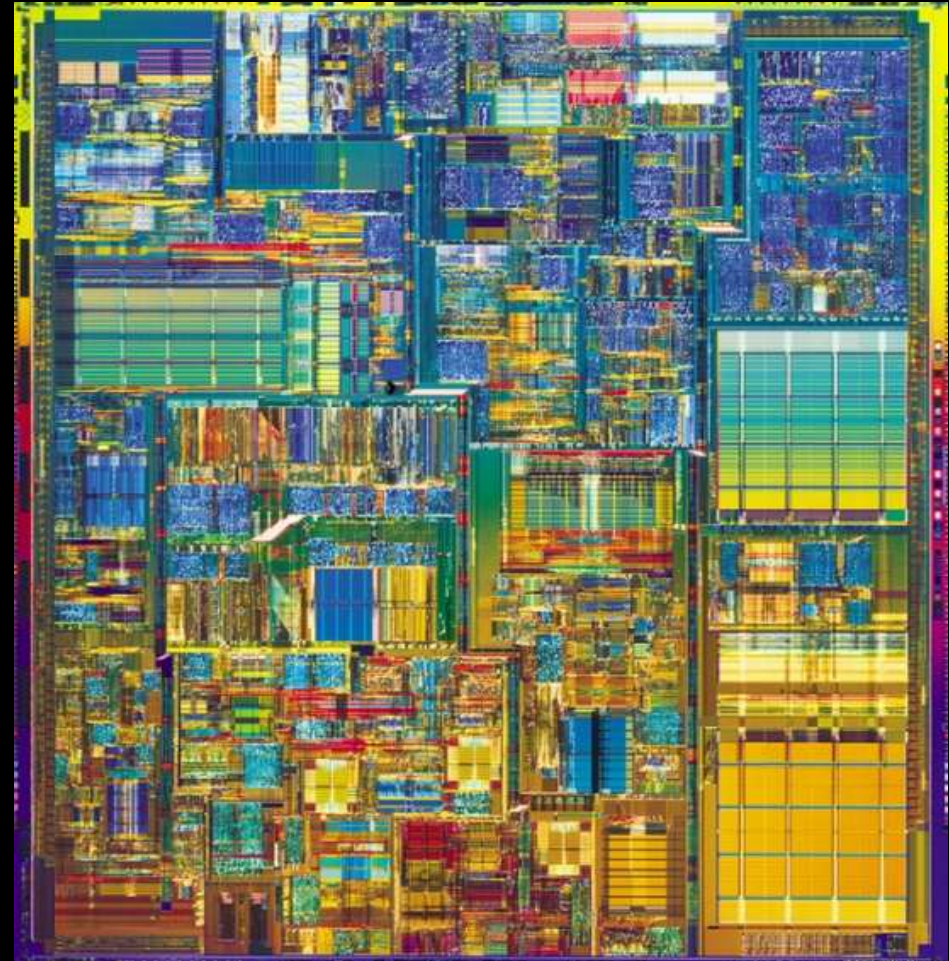
# 1982 : Microprocesseur Intel 80286

- Techno 1,5  $\mu\text{m}$
- 2 niveaux de métal
- Techno CMOS
- Fréquence = 6 à 12 MHz
- Dimension de la puce 68,7 mm<sup>2</sup>



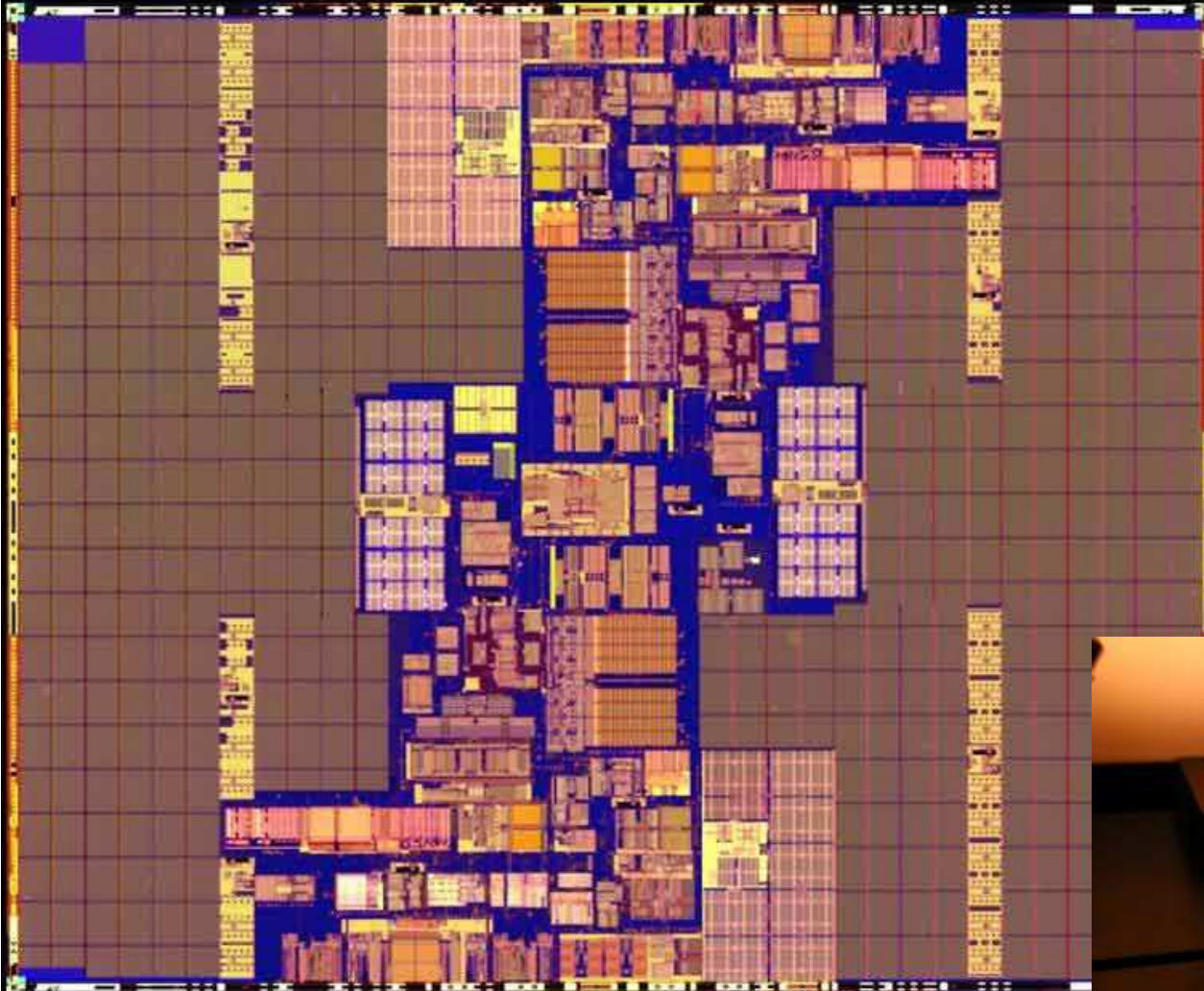
## 2000 : Microprocesseur Pentium 4

- Techno 0,18  $\mu\text{m}$
- 6 niveaux de métal
- 42 millions de transistors
- Techno CMOS
- Fréquence = 1,5 GHz
- Dimension de la puce 224 mm<sup>2</sup>

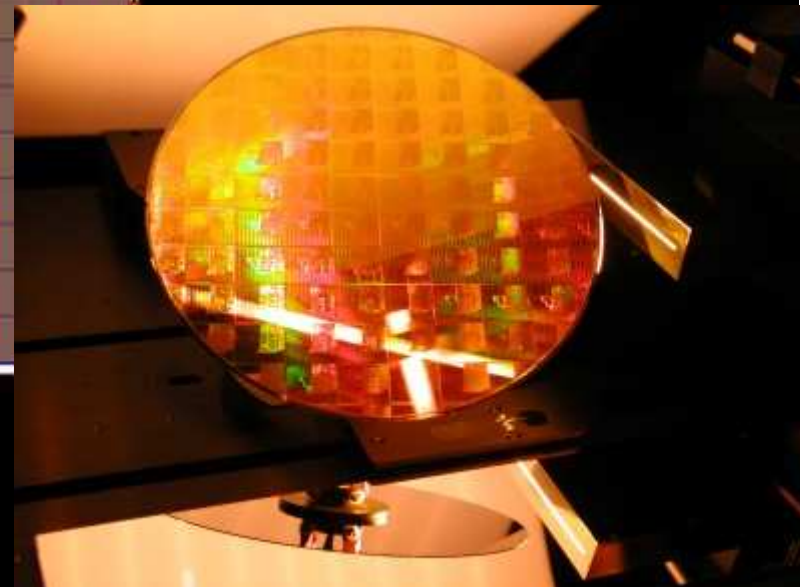




# 2006 : Microprocesseur Itanium 2 / Montecito

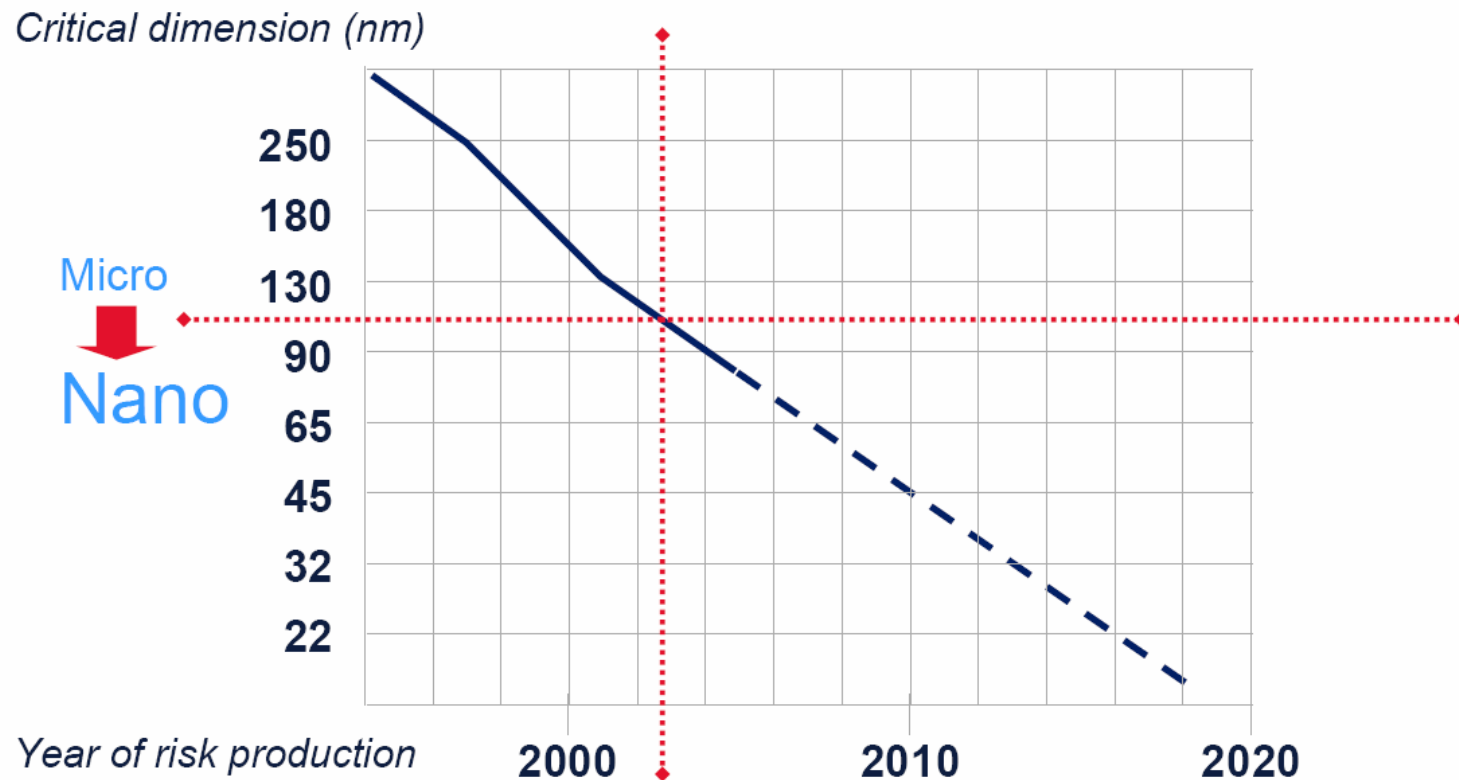


**1,72 milliards de transistors, techno 90 nm**



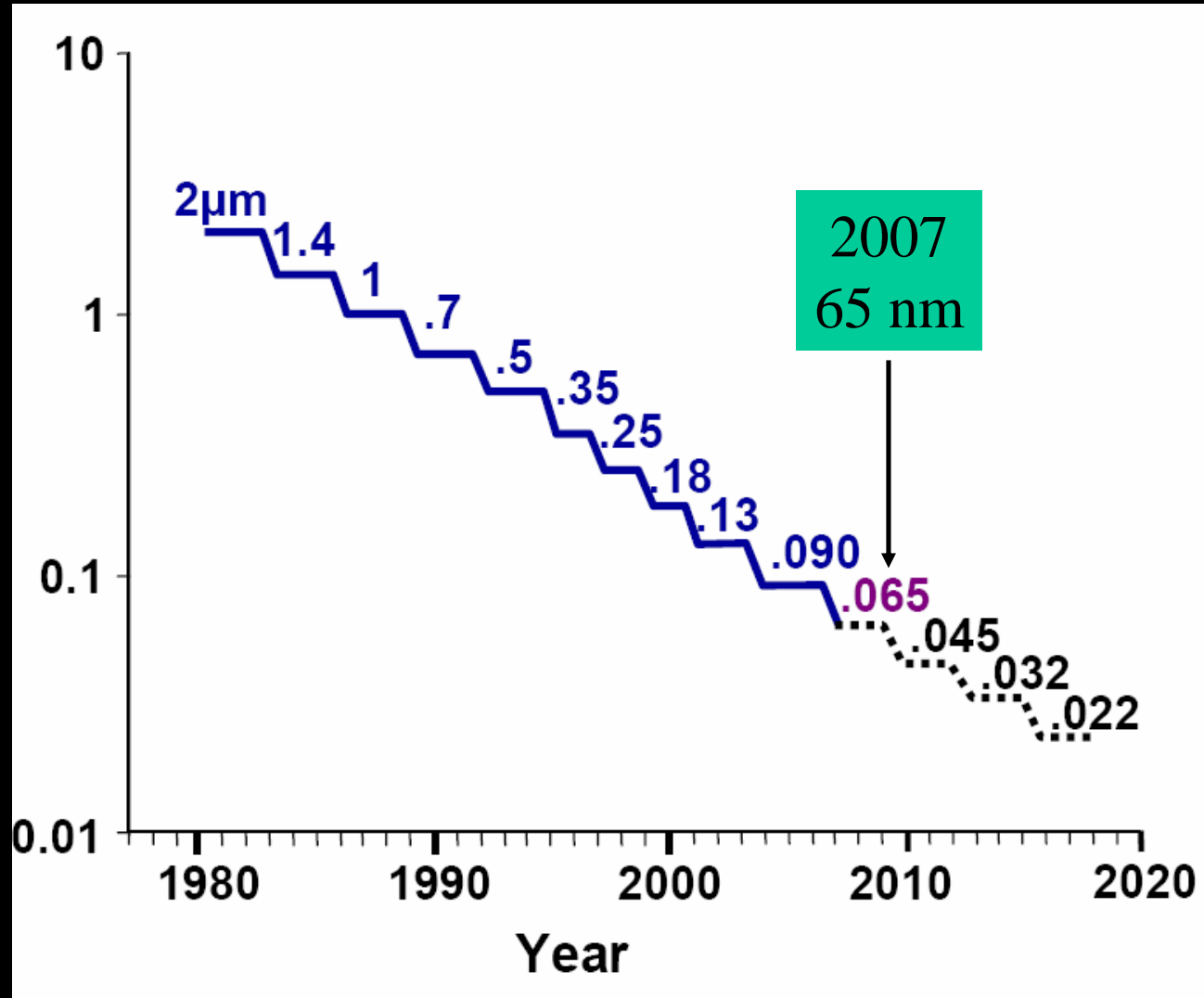
# 2003 : La microélectronique devient la nanoélectronique

## More Moore: Baseline CMOS technology roadmap

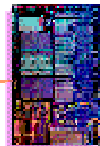


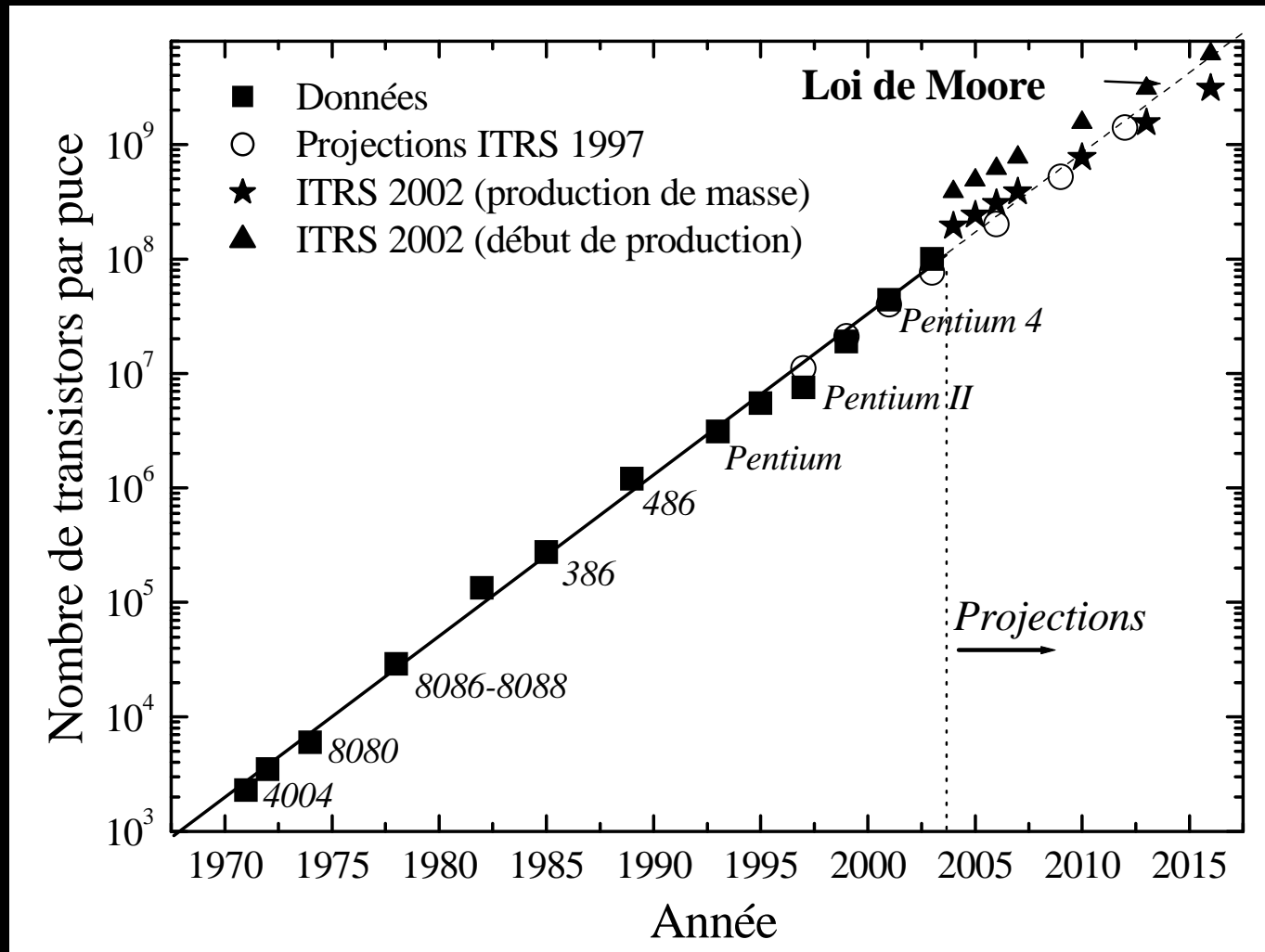


# Evolution passée et à venir

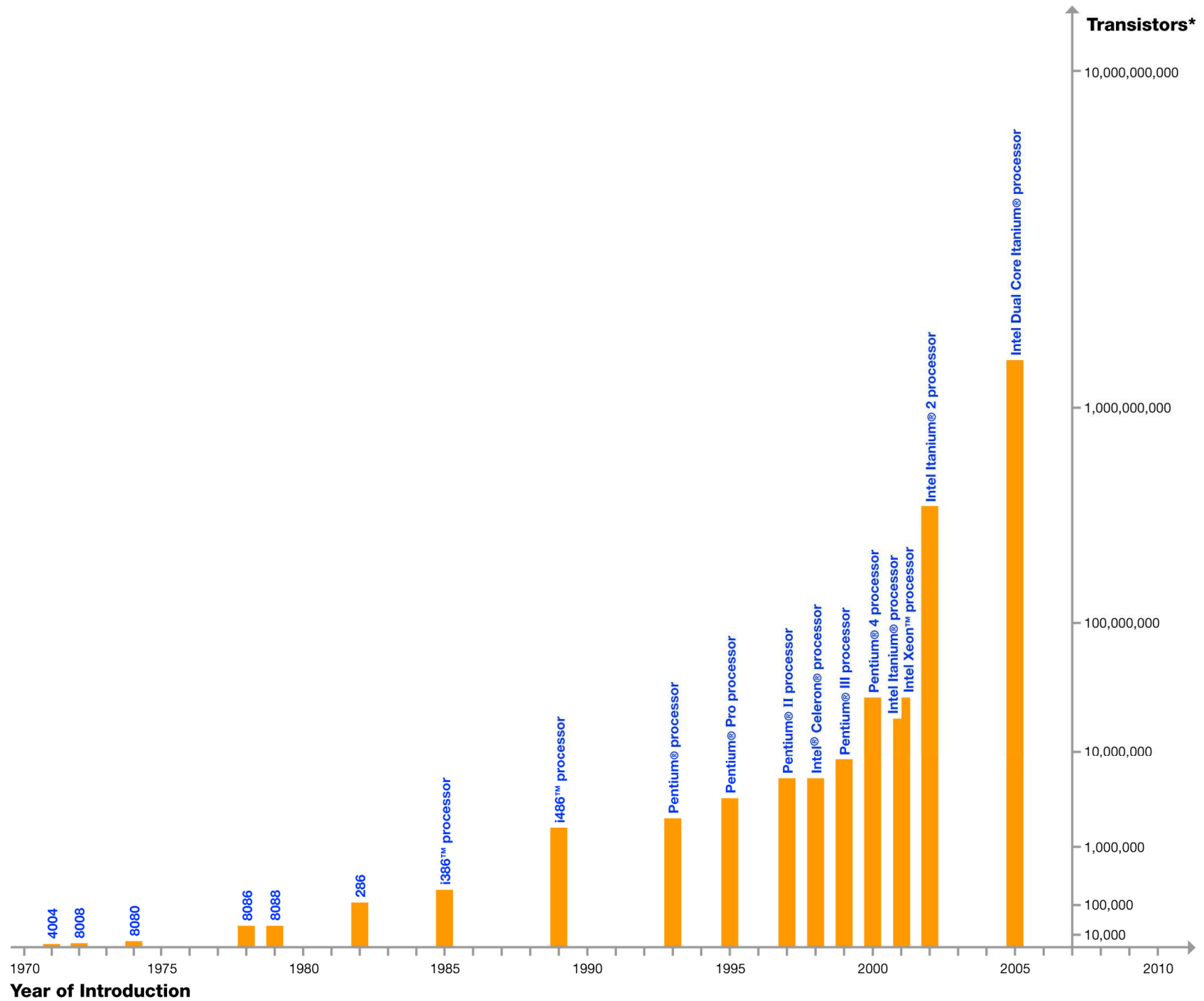


| Microprocessor                          | Year of Introduction | Transistors |
|---|----------------------|-------------|
| 4004                                    | 1971                 | 2,300       |
| 8008                                    | 1972                 | 2,500       |
| 8080                                    | 1974                 | 4,500       |
| 8086                                    | 1978                 | 29,000      |
| Intel286                                | 1982                 | 134,000     |
| Intel386™ processor                     | 1985                 | 275,000     |
| Intel486™ processor                     | 1989                 | 1,200,000   |
| Intel® Pentium® processor               | 1993                 | 3,100,000   |
| Intel® Pentium® II processor            | 1997                 | 7,500,000   |
| Intel® Pentium® III processor           | 1999                 | 9,500,000   |
| Intel® Pentium® 4 processor             | 2000                 | 42,000,000  |
| Intel® Itanium® processor               | 2001                 | 25,000,000  |
| Intel® Itanium® 2 processor             | 2003                 | 220,000,000 |
| Intel® Itanium® 2 processor (9MB cache) | 2004                 | 592,000,000 |



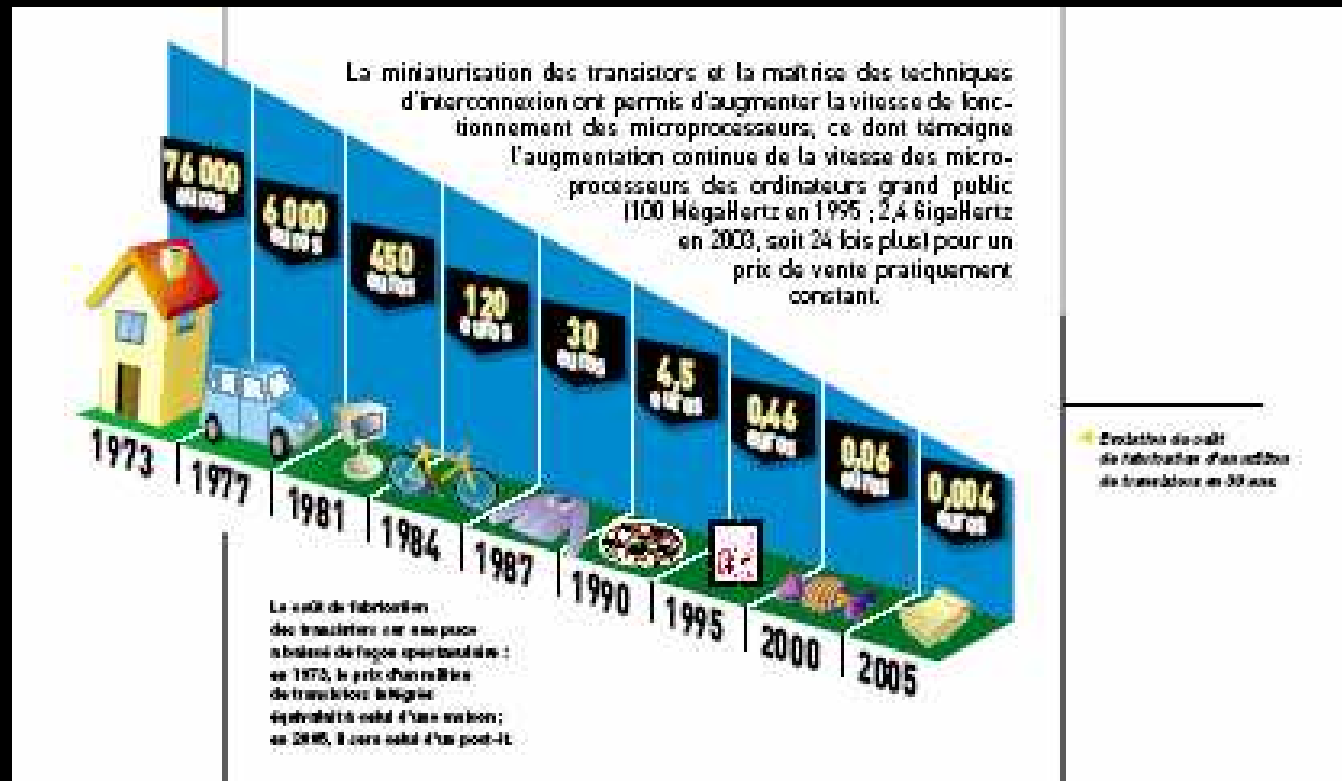


*Illustration de la Loi de Moore au travers de l'évolution des processeurs de la firme Intel®*



# Une évolution sans pareil

## Coût de 1000 transistors



# Comparaison

Si les voitures avaient suivies le même développement que les ordinateurs

Une Rolls Royce coûterait aujourd'hui 100 \$

Elle consommerait 0,002 litre au cent (400 000 km avec 1 litre)...

Et elle exploserait une fois par an tuant tout le monde à l'intérieur !

*Robert X. Cringely*

# Plan

- Les premiers pas
- Loi de Moore et intégration
- **Les limites de la loi de Moore**
- Vers une nouvelle électronique

# La poursuite de la loi de Moore

|   |                 |             |             |                       |             |             |
|---|-----------------|-------------|-------------|-----------------------|-------------|-------------|
| <i>Année de production</i>  | <b>2007</b>     | <b>2010</b> | <b>2013</b> | <b>2016</b>           | <b>2019</b> | <b>2020</b> |
| <i>Nœud technologique (nm)</i>  | <b>65</b>       | <b>45</b>   | <b>32</b>   | <b>22</b>             | <b>16</b>   | <b>14</b>   |
| <i>Longueur de grille physique (nm)</i>                                       | 25              | 18          | 13          | 9                     | 7           | 5           |
| <i>Type de dispositif</i>   | « Bulk étendu » |             | ?           | Double (multi)-Grille |             |             |
| <i>Épaisseur d'oxyde équivalente EOT (Å)</i>                                  | 11              | 6.5         | 6.5-5       | 5                     | 5           | 5           |
| <i>Tension d'alimentation <math>V_{DD}</math> (V)</i>                         | 1.1             | 1.0         | 0.9         | 0.8                   | 0.7         | 0.7         |
| <i>Courant à saturation <math>I_{D,sat}</math> (<math>\mu A/\mu m</math>)</i> | 1200            | 2050        | 2200        | 2700                  | 2750        | 3000        |
| <i>Courant à l'état off <math>I_{off}</math> (<math>\mu A/\mu m</math>)</i>   | 0.2             | 0.3         | 0.2         | 0.1                   | 0.1         | 0.1         |
| <i>Délai intrinsèque (NMOS) <math>\tau=CV/I</math> (ps)</i>                   | 0.64            | 0.4         | 0.25        | 0.150                 | 0.1         | 0.08        |
| <i>Vitesse de commutation intrinsèque <math>1/\tau</math> (GHz)</i>           | 1564            | 2500        | 4000        | 6667                  | 10000       | 12500       |

## Propriétés des matériaux

- diélectriques (permittivité)
- mécaniques (contraintes)
- transport (mobilité)

## Structure du dispositif

- silicium massif
- silicium-sur-isolant
- nanofil

## Architecture de grille

- grille unique
- double grille
- grille multiple



# La poursuite de la loi de Moore

## 20nm MOSFET's

- CEA/LETI

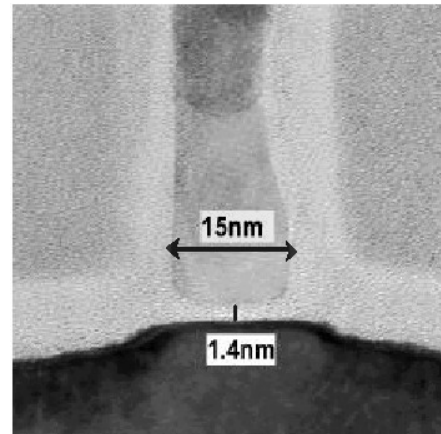
*S. Deleonibus et al. ED Letters April 2000*



## 15nm MOSFET's

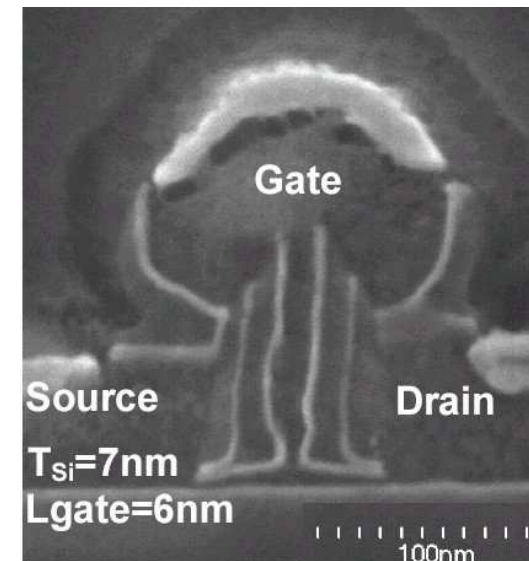
- AMD

*B. Yu, IEDM2001*



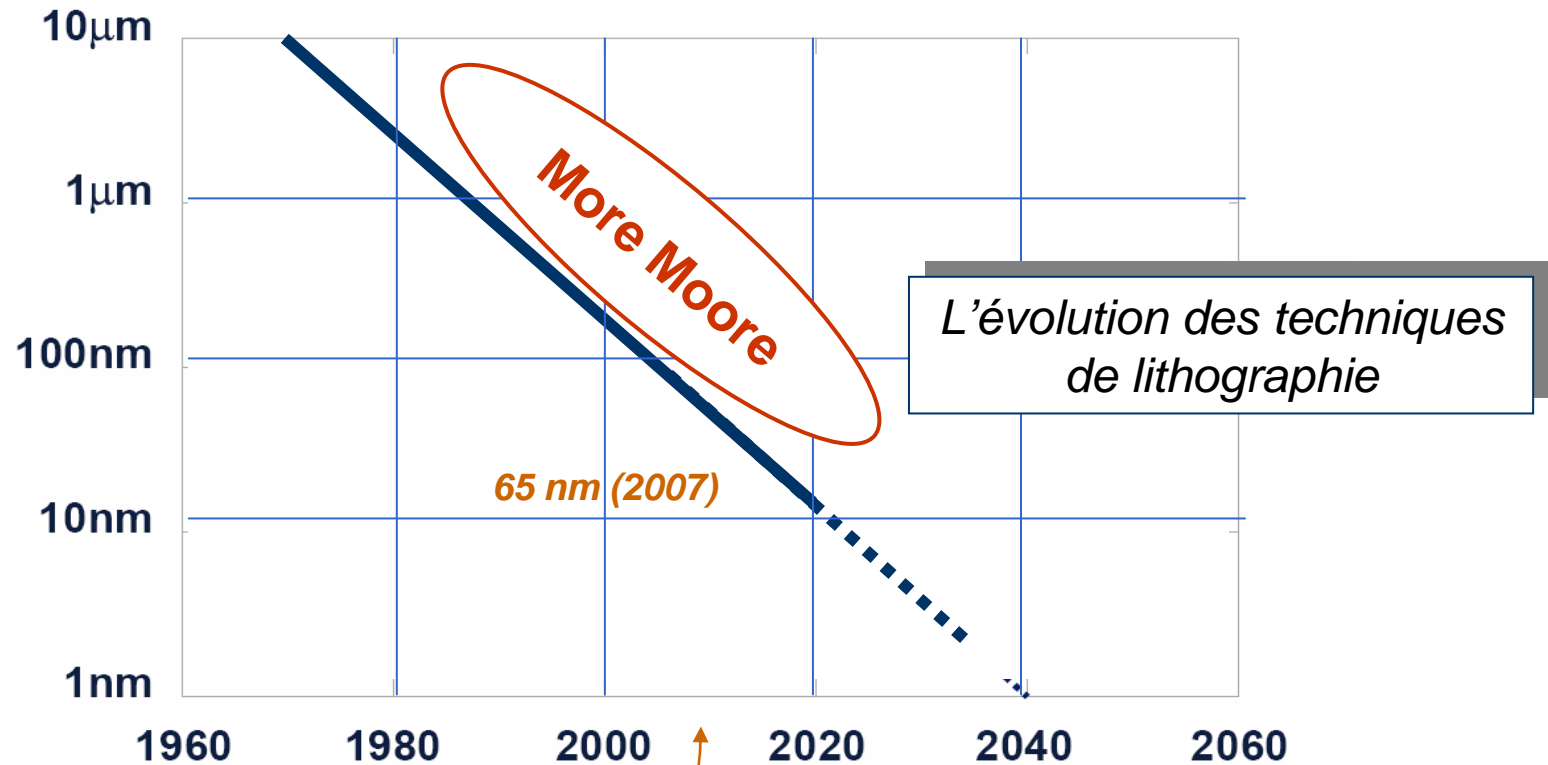
## 6nm MOSFET's

- IBM (IEDM 2002)



Courtoisie  
Jean-Luc Leray

# La poursuite de la loi de Moore impose...



Strategic Research Agenda – Executive Summary – p 35



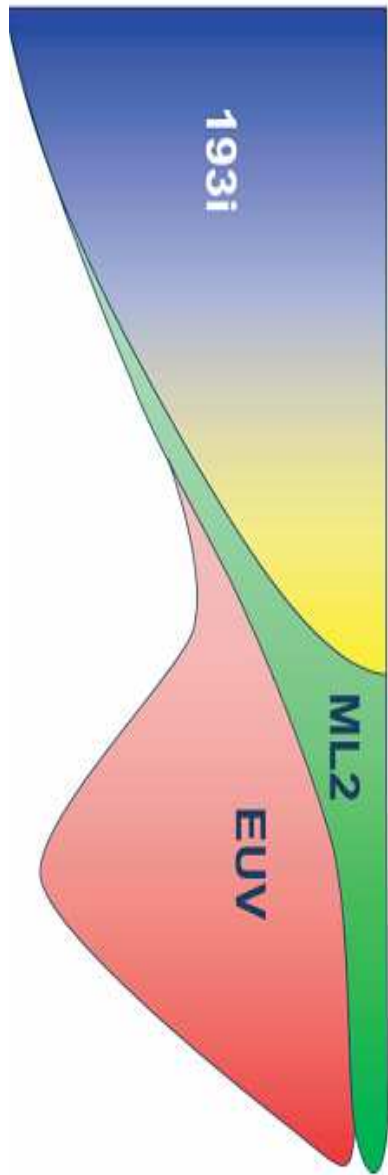
## Nœud technologique

|              |              |              |              |              |
|--------------|--------------|--------------|--------------|--------------|
| 90 nm (2005) | 65 nm (2007) | 32 nm (2013) | 22 nm (2016) | 16 nm (2019) |
|--------------|--------------|--------------|--------------|--------------|



YEAR node

# La Lithographie



2005 90 nm

2007 65 nm

2009 45 nm

2012 32 nm

2015 22 nm

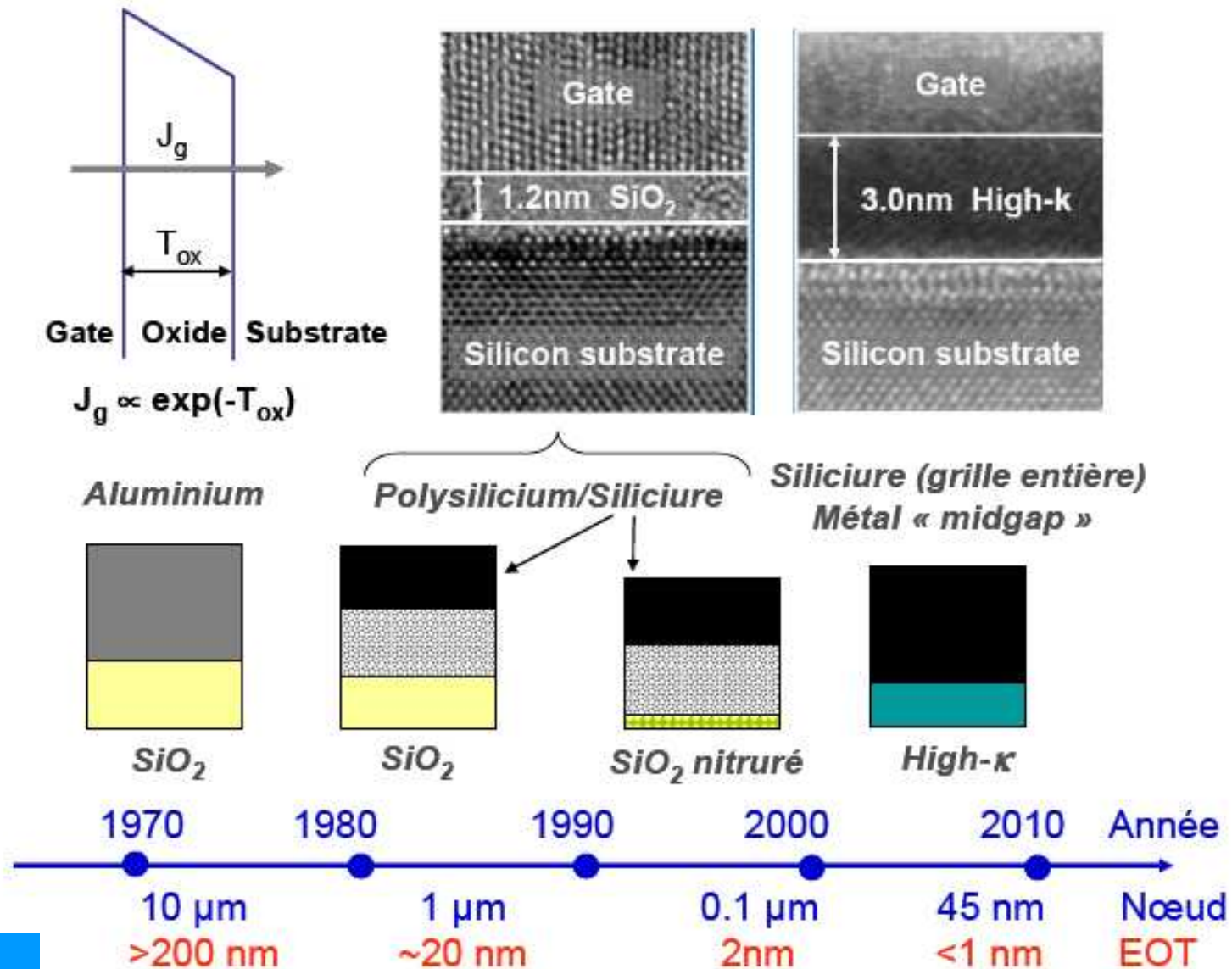
2018 16 nm

**Lithography competence center**

- Optical lithography ( 248, 193, 193i nm)**  
*Multi sites, interferometric bench*
- EUV**  
*Reflective mask, resist, experimental exposure tool*
- E beam**  
*shaped beam, high resolution, multi beams*
- Nanoimprint**  
*full wafer, stamp and repeat*
- Resist excellence center**  
*understand resist chemistry limitations, support litho cells, anticipate new resists*

**leti** MN Séméria 6th Leti Annual Review

# ... L'évolution des matériaux de grille



Courtoisie  
Jean-Luc Autran

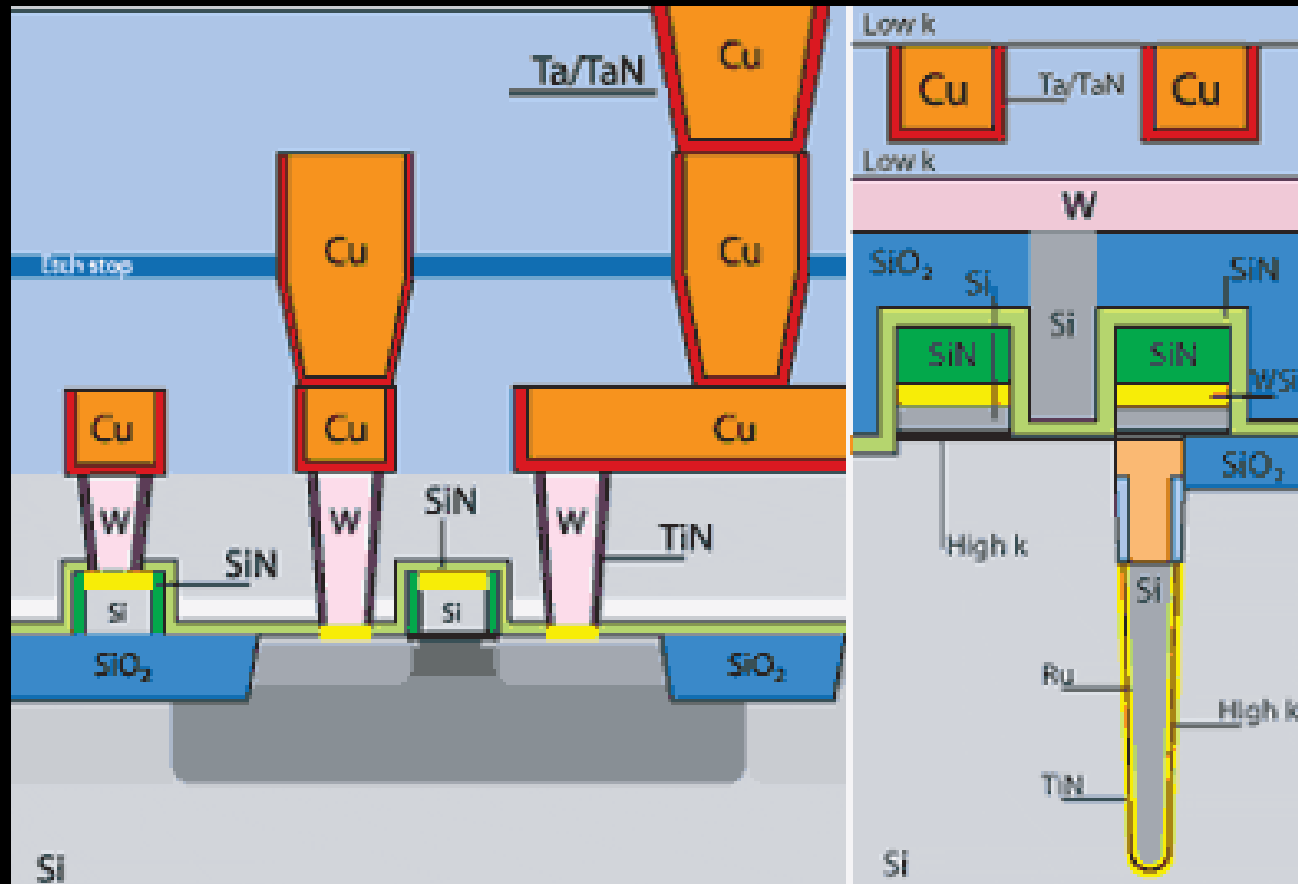
## ... L'évolution des matériaux de grille

*L'intégration d'un matériaux high- $\kappa$  et d'une grille métallique marque le changement le plus important dans la technologie du transistor depuis l'introduction des grilles en polysilicium dans les années 70*

Gordon Moore

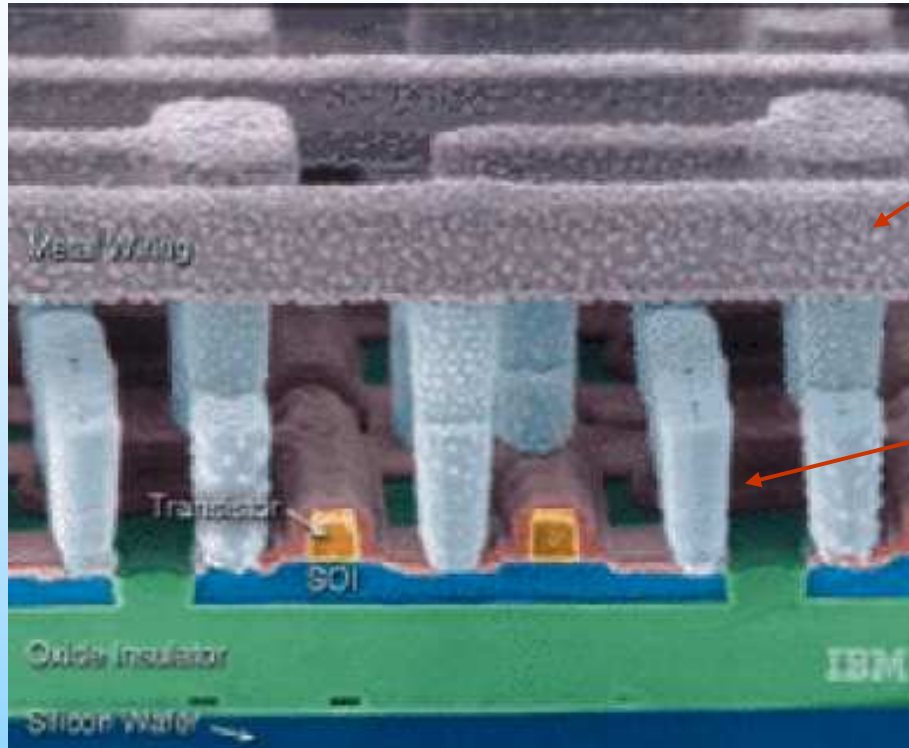


# ... L'évolution des interconnexions





# Evolution des interconnexions

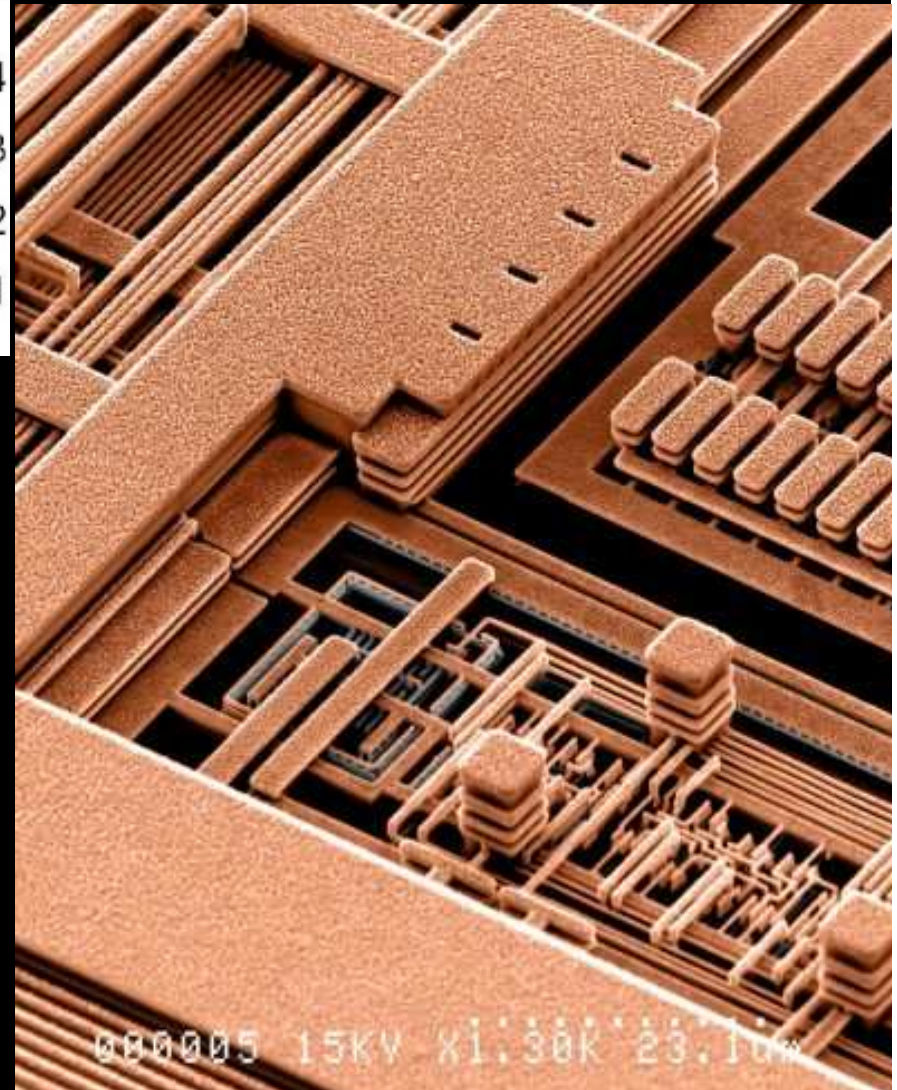
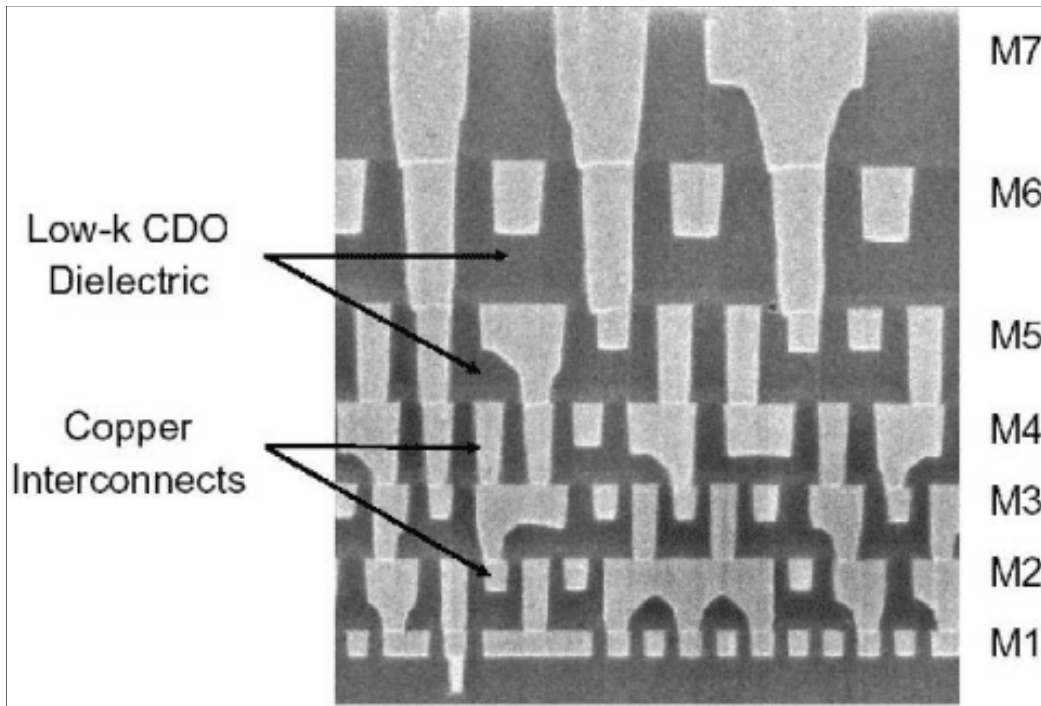


Le cuivre remplace l'aluminium

Des matériaux « low k »  
remplaceront la silice et  
le nitrure

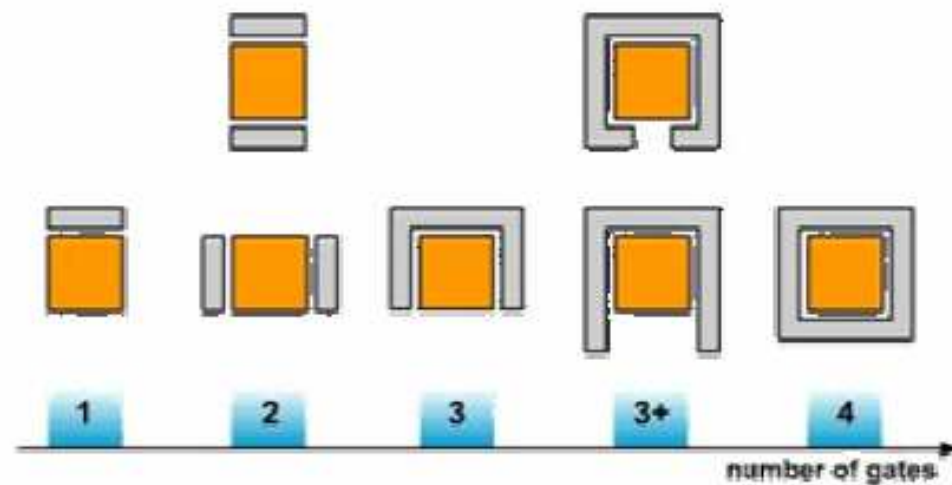
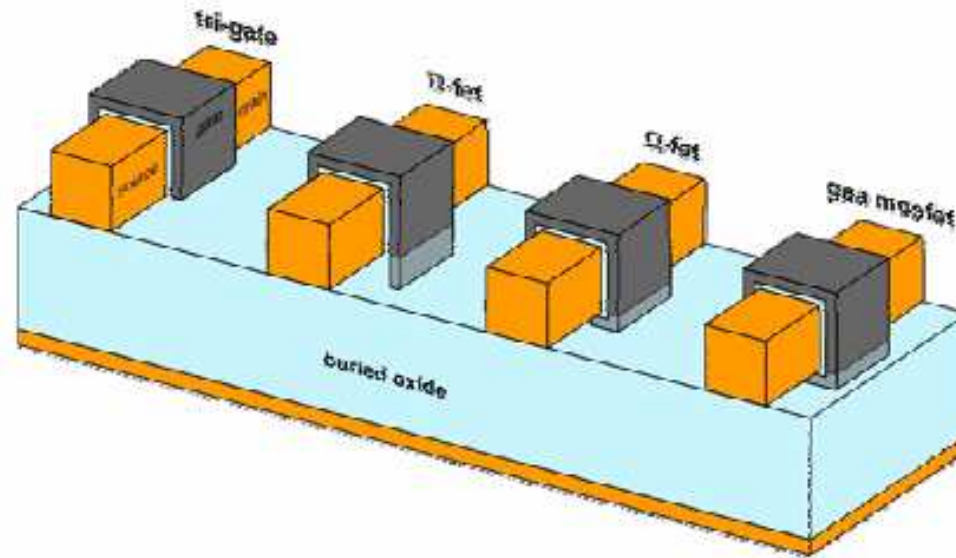
**Interconnexions traditionnelles**

# Evolution des interconnexions



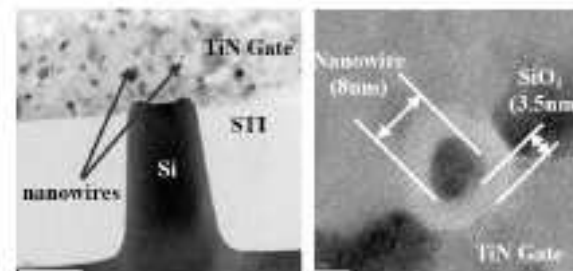
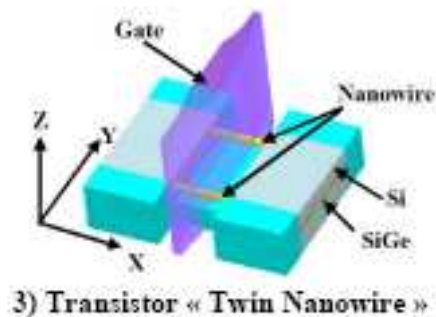
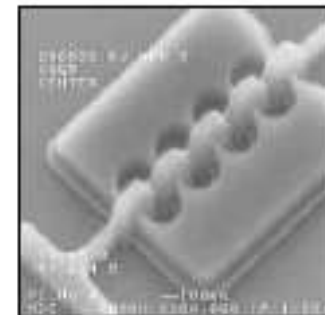
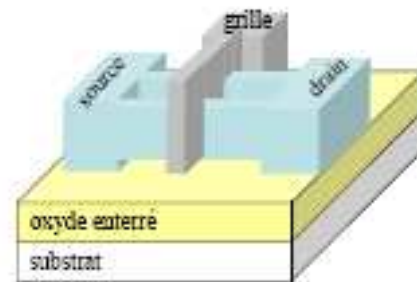
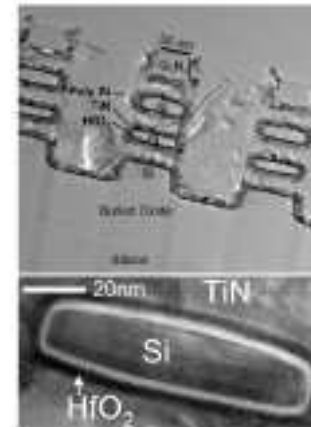
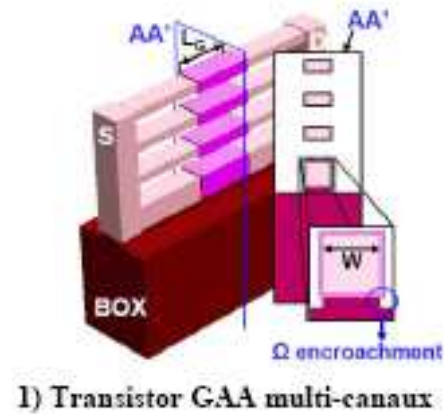
# ... L'évolution des architectures de MOS

- Tri gate
- $\Pi$  gate
- $\Omega$  gate
- Gate All Around



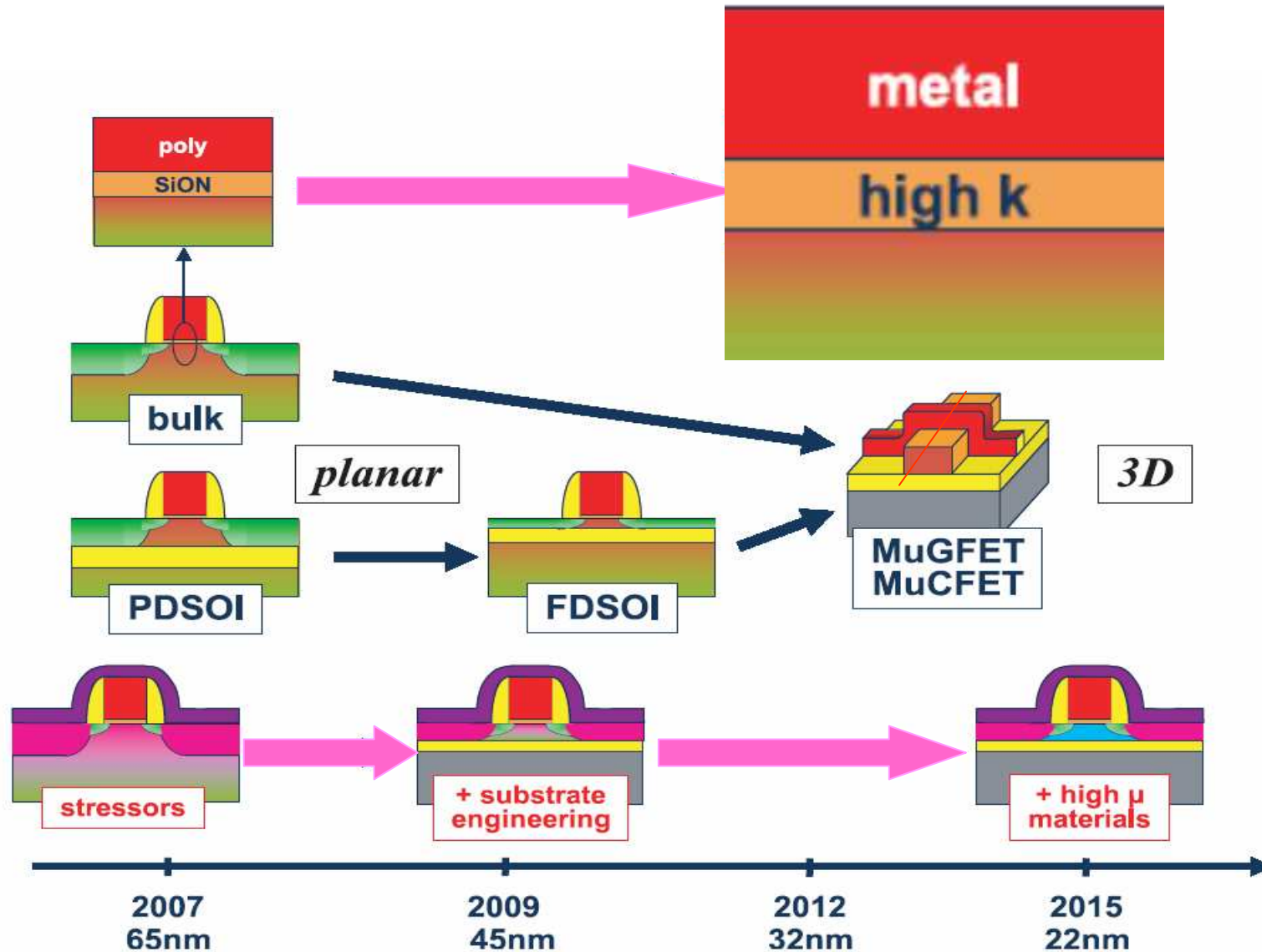
# Evolution des architectures de MOS

## Transistors multicanaux

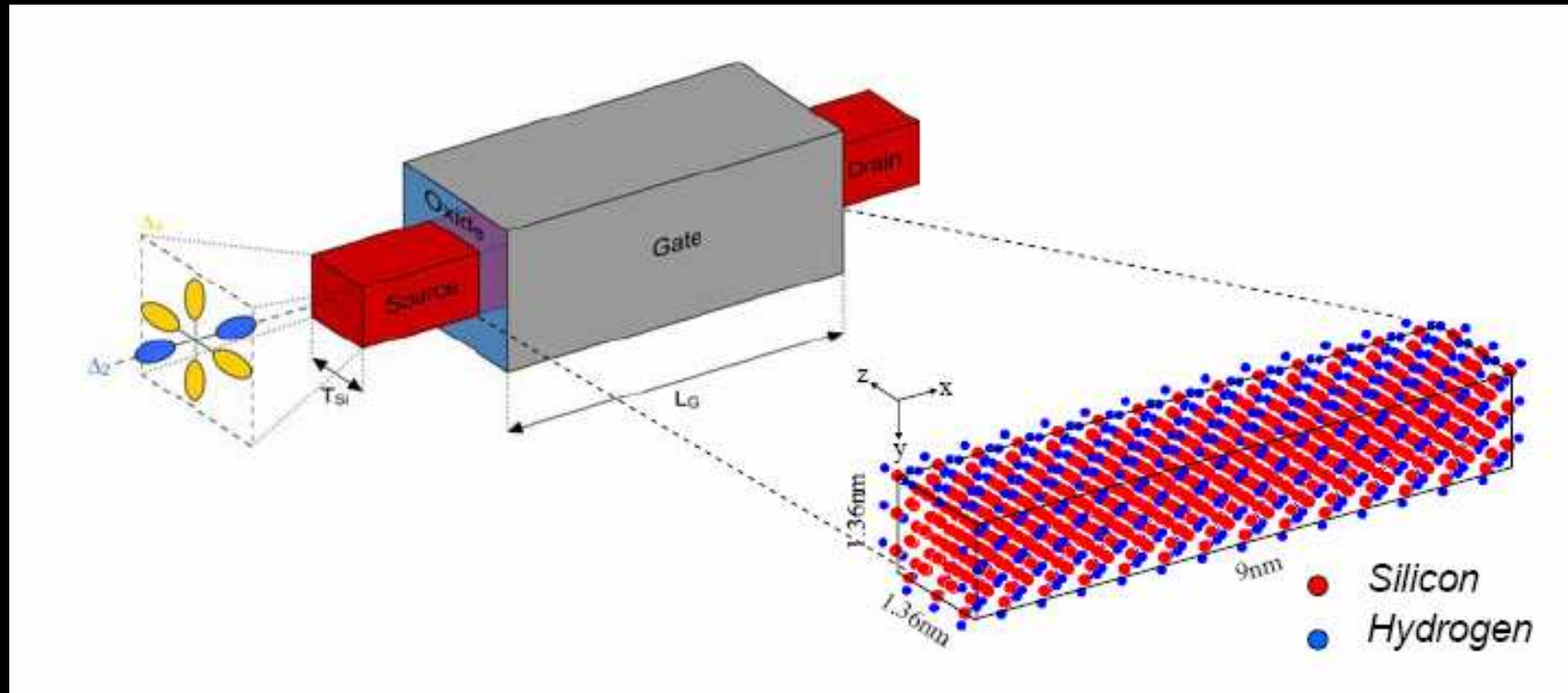




# Evolutions programmées



# Importance de la simulation



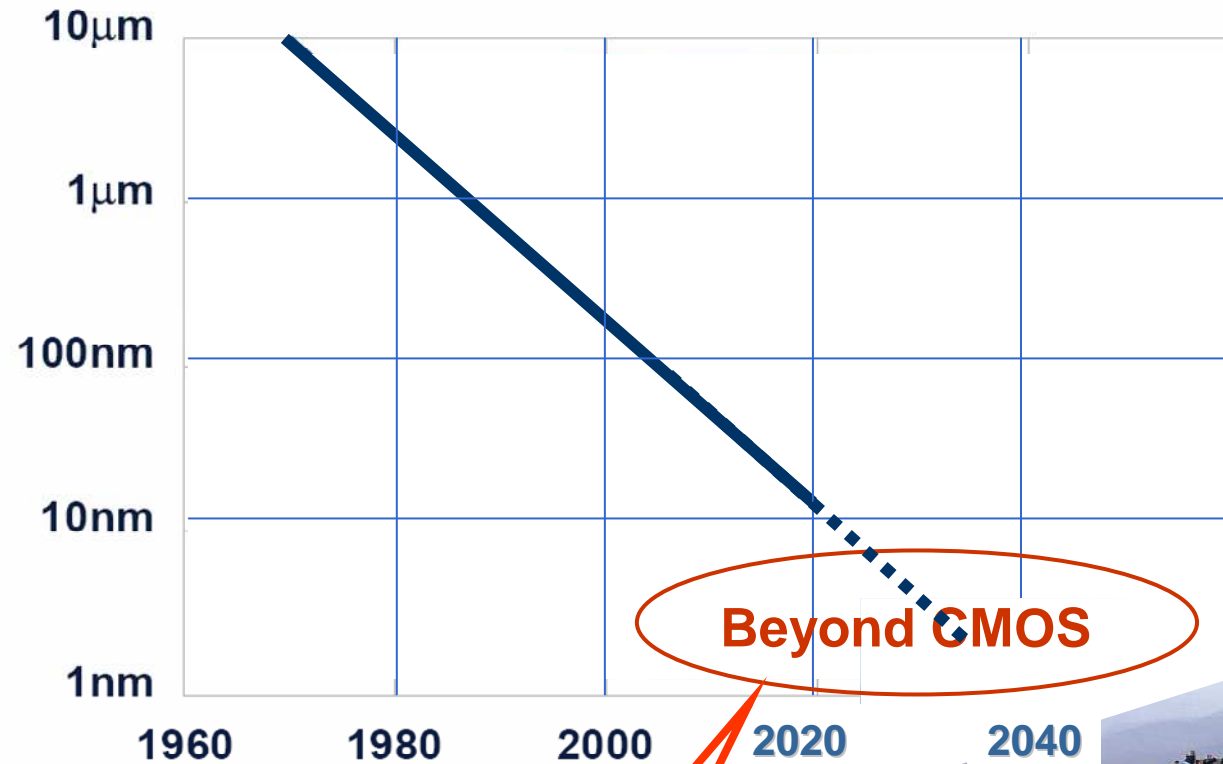
SNWFET (Silicon NanoWire FET)

Longueur de canal de 9 nm ; section  $1.36 \times 1.36 \text{ nm}^2 \Rightarrow 800$  atomes

Modélisation quantique



# Limites perceptibles



Strategic Research Agenda – Executive Summary – p 35

*En 2020, la technologie atteindra ses limites physiques*



# Plan

- Les premiers pas
- Loi de Moore et intégration
- Les limites de la loi de Moore
- **Vers une nouvelle électronique**
  - **Electronique ondulatoire**
  - **Electronique de spin**
  - **Electronique moléculaire**
    - **Nanotube de carbone**
    - **Autres molécules**
  - **Electronique neuronale**

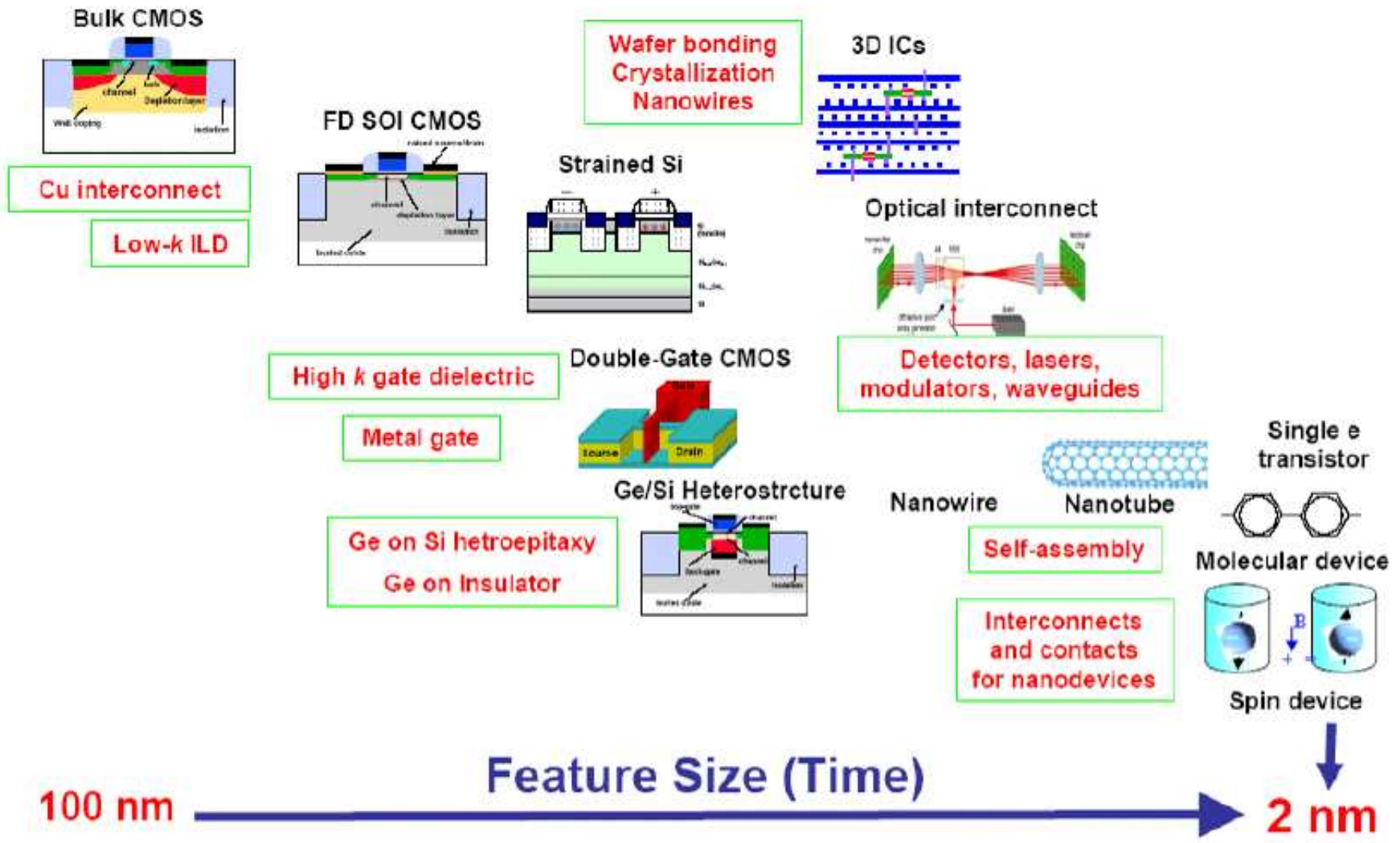
# Vers une nouvelle électronique

En quarante ans on est passé de 1 transistor à plus d'un milliard de transistors sur une puce

Les limites physiques se profilent

La nouvelle électronique sera moléculaire, elle utilisera les électrons et les photons à l'unité, le spin sera vecteur d'information, le nanomagnétisme permettra de concevoir des mémoires sans alimentation, la lithographie sera remplacée par des mécanismes d'autoassemblage

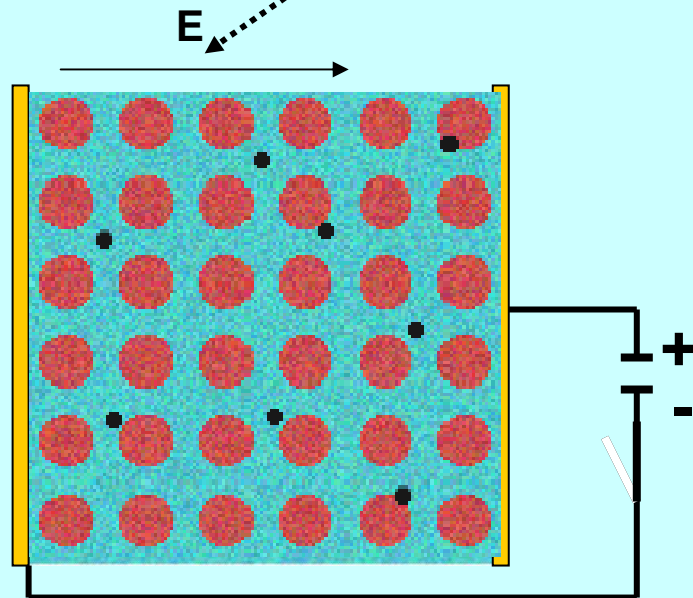
# Vers l'électronique moléculaire



# L'électron n'est pas qu'une charge $e^-$

Propriétés  
de  
l'électron

Charge  
 $e^-$



*En électricité, électrotechnique et électronique, l'électron n'est qu'une particule chargée*

Loi d'Ohm

$\tau$  : temps entre deux collisions

# L'électron n'est pas qu'une charge $e^-$

Propriétés  
de  
l'électron

Charge  
 $e^-$

Spin  
↓↑

Onde

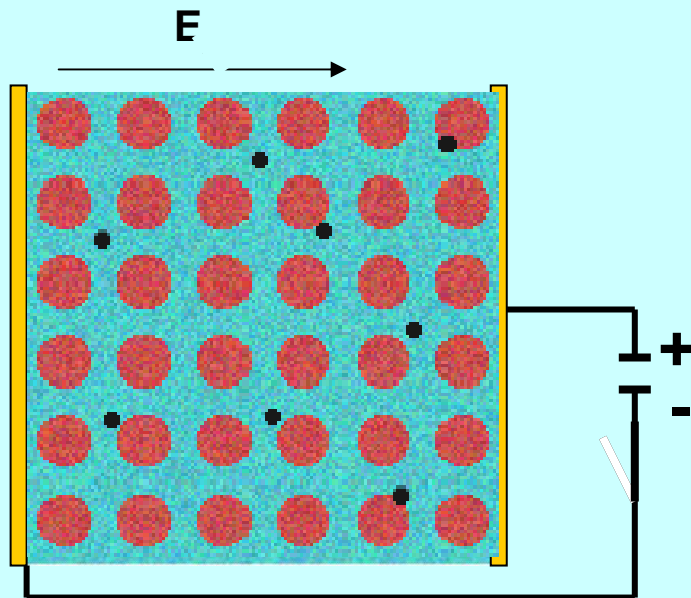
...et

une particule  
est aussi une  
onde :

$$\lambda = \frac{h}{mv}$$

...mais

les électrons  
ont un spin :  
+ 1/2 or - 1/2



Loi d'Ohm

$\tau$  : temps entre deux collisions



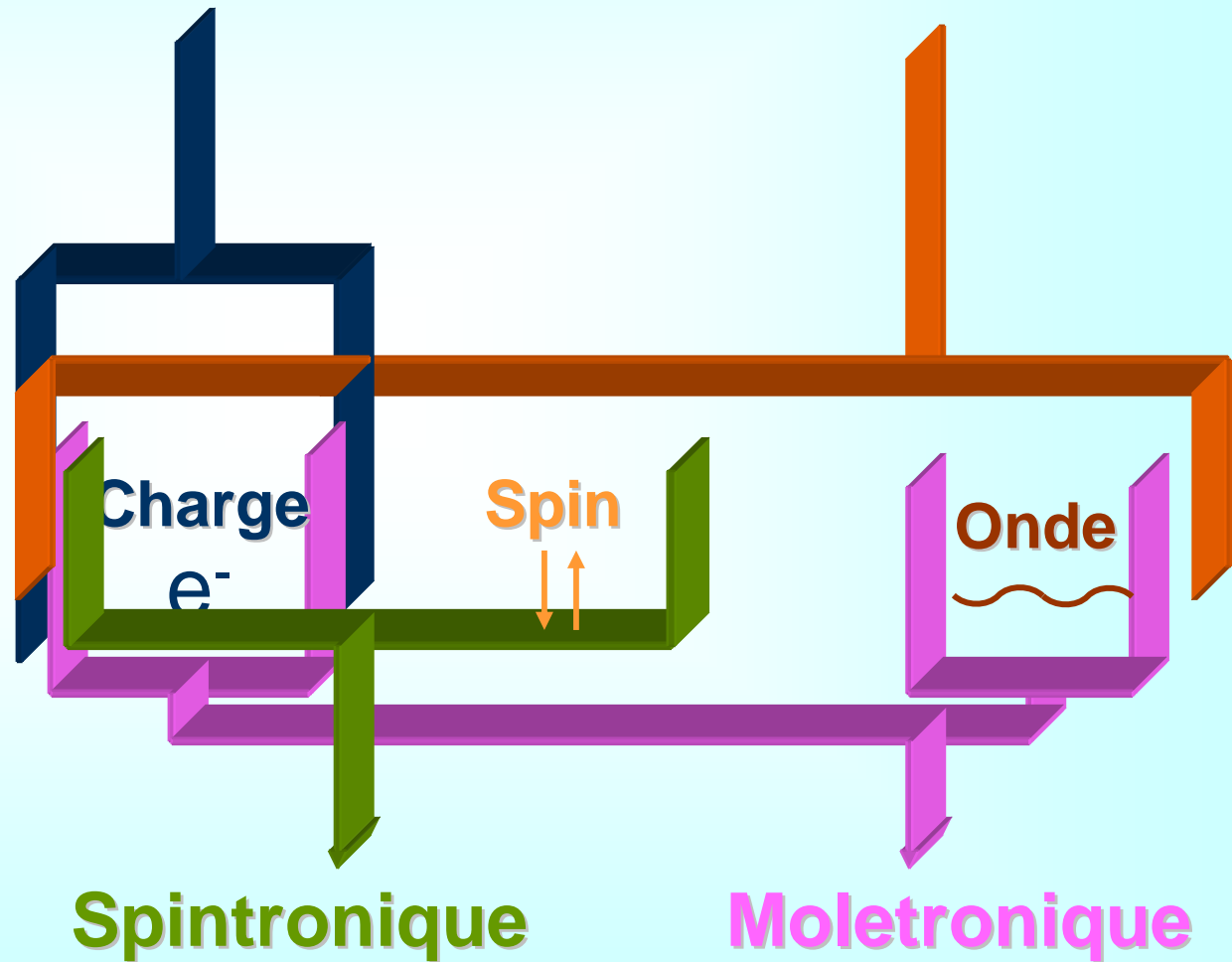
# L'électron n'est pas qu'une charge $e^-$

**Micro-électronique**

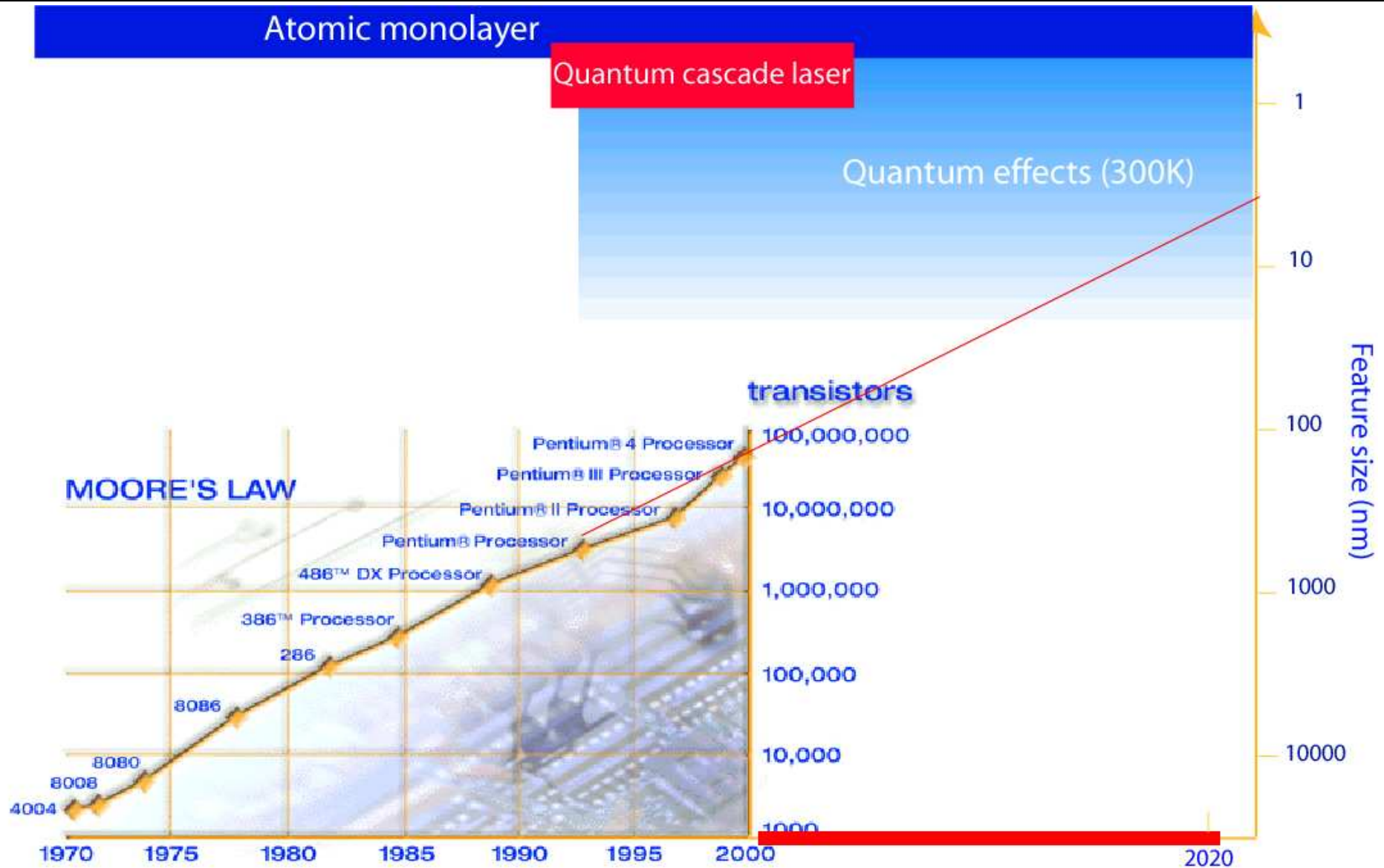
**Nano-tronique**

**Propriétés  
de  
l'électron**

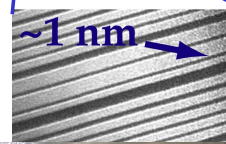
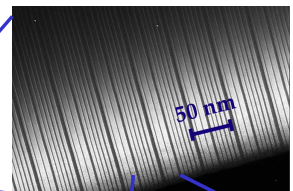
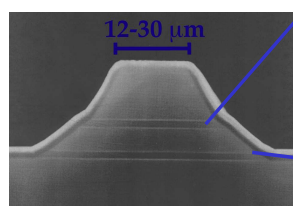
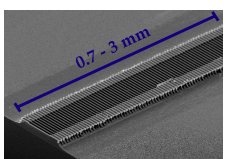
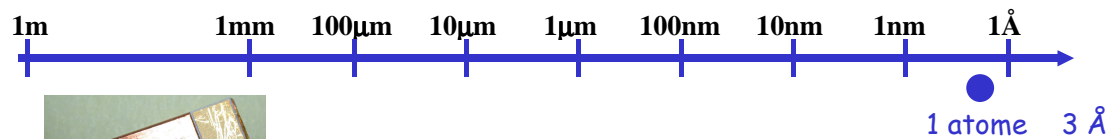
**:**



# Nature ondulatoire et effets quantiques

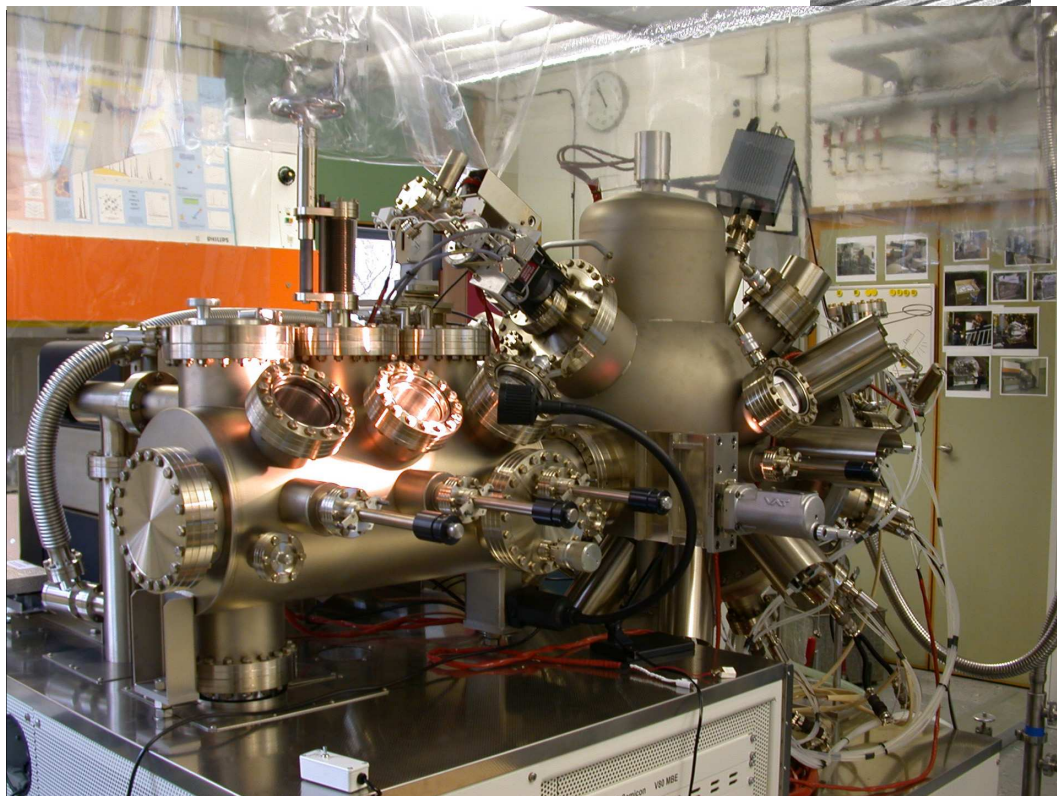
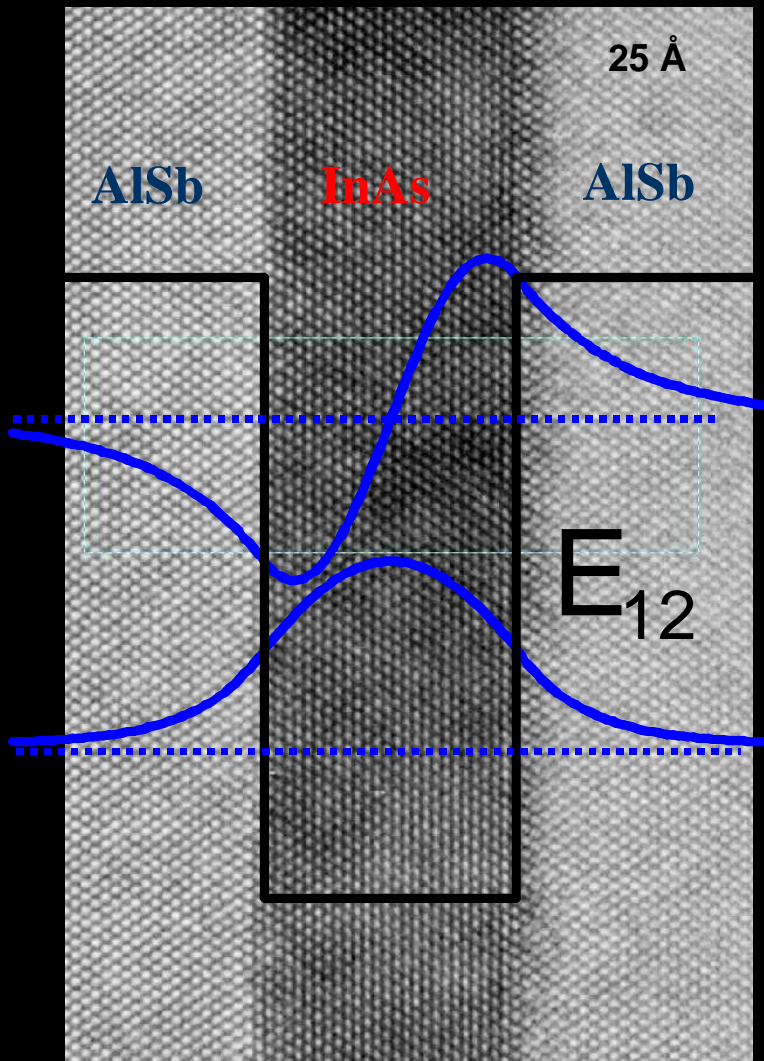


Source: Intel



1 cheveu = 50μm  
= 0.00005m

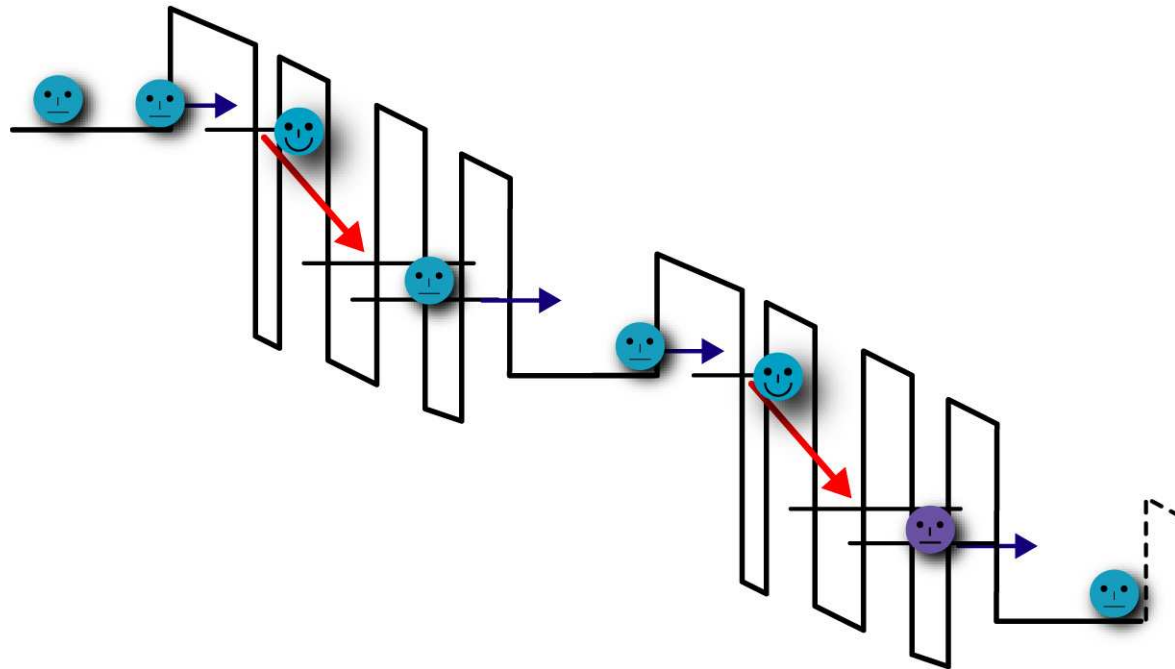
# Laser à cascade quantique



Courtoisie Carlo Sirtori



# Cascade





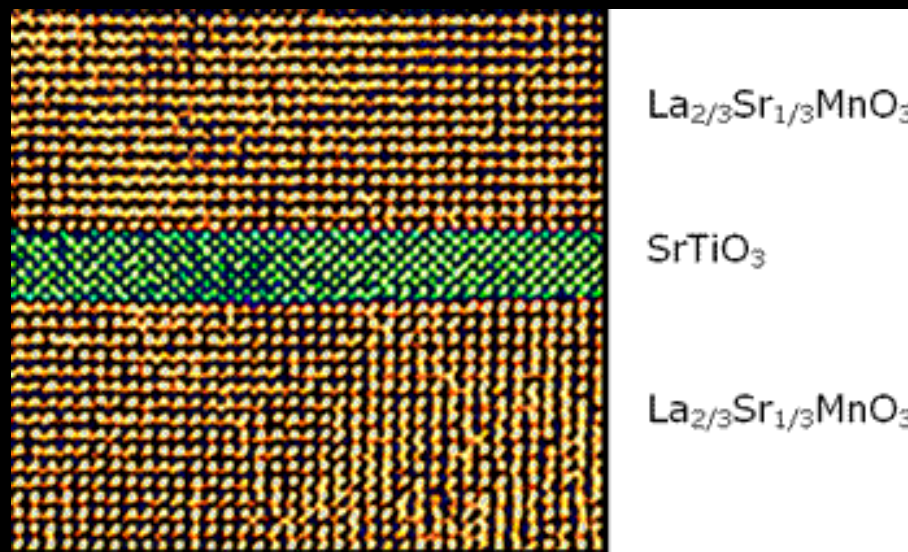
# Electronique de spin (spintronics)

*La France est un acteur majeur du domaine des nanosciences et des nanotechnologies*

*C'est dans nos laboratoires et grâce aux travaux d'Albert FERT, que la magnétorésistance géante a été découverte*

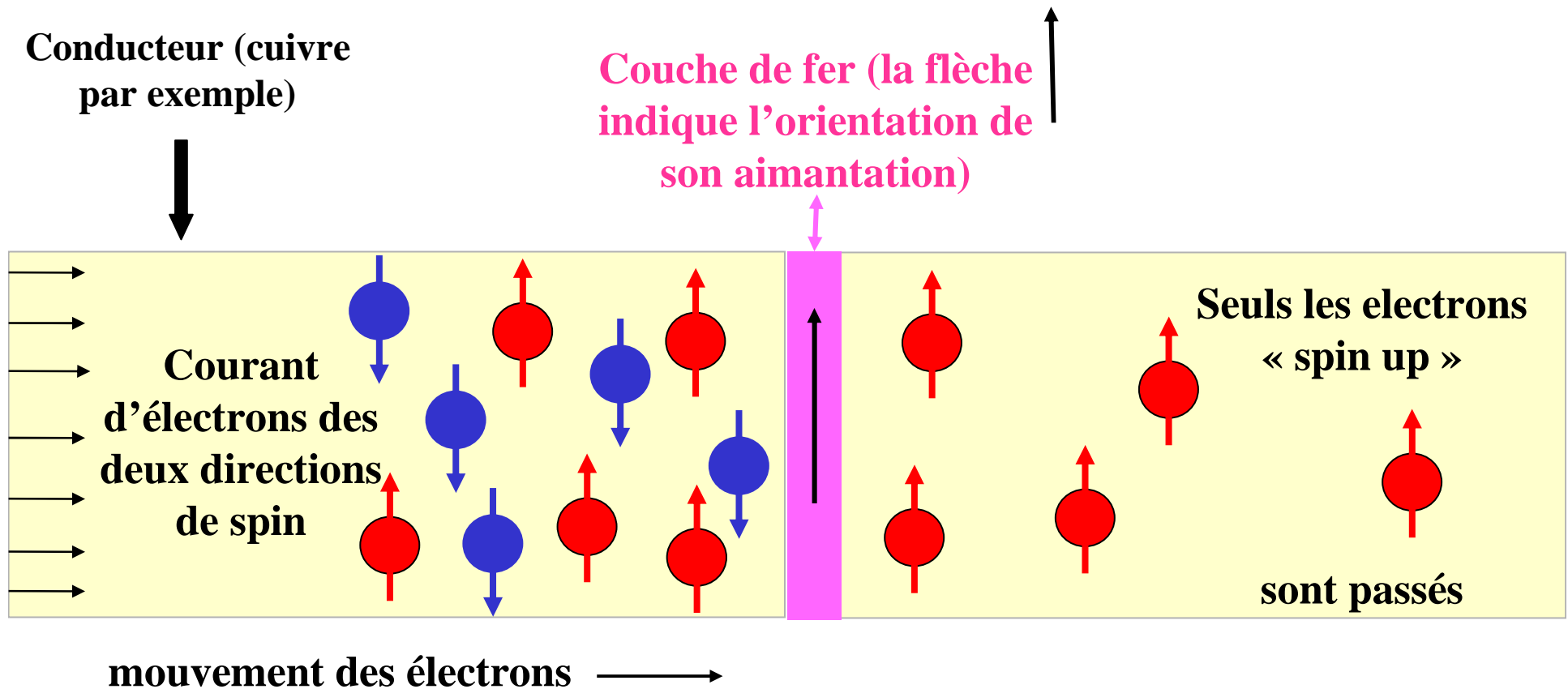
*Elle permet de réaliser des têtes de lectures magnétiques, aujourd'hui produites au rythme de 615 millions par an*

François d'Aubert, Minatec, 16 décembre 2004



*Albert Fert, UMR CNRS-Thales*

*Principe de la spintronique: placer sur le trajet des électrons une très fine couche de matériau aimanté (du fer par exemple) pour arrêter (ou ralentir) les électrons d'une certaine orientation de spin*

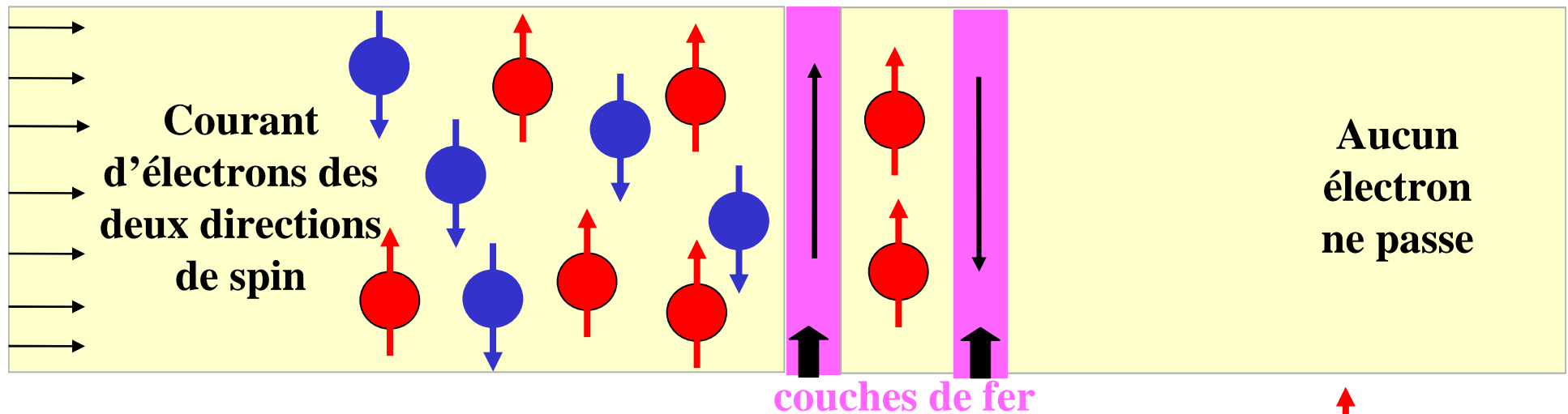




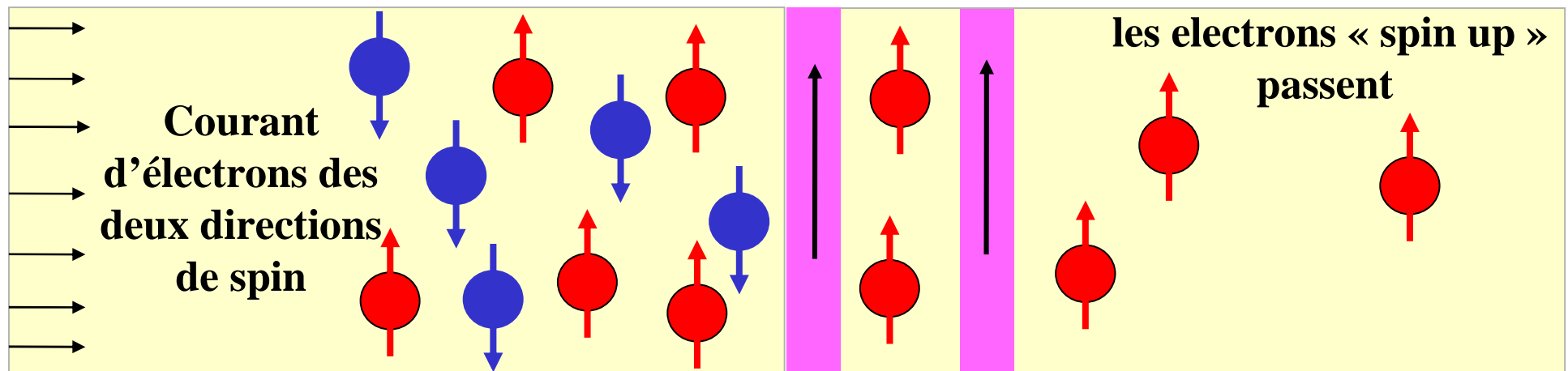
# Concept de la MagnetoRésistance Géante (GMR)

Courtoisie  
Albert Fert

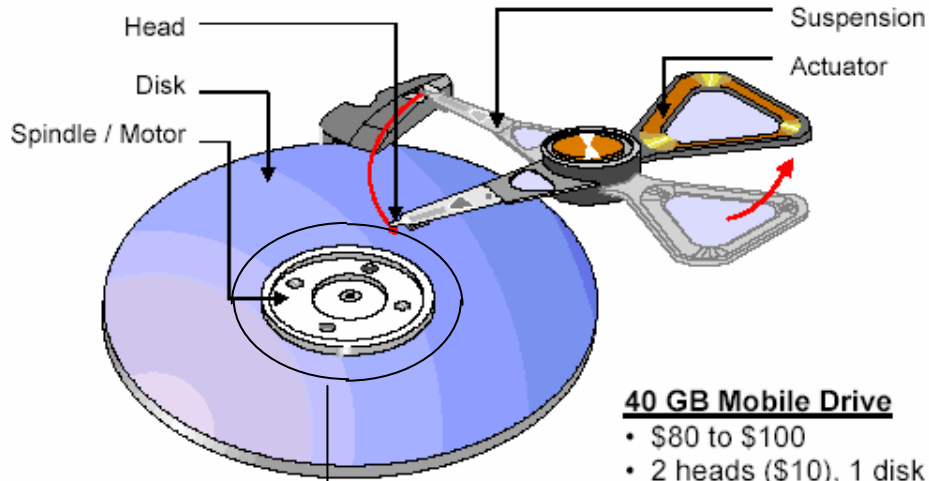
1) Aimantations des couches de fer opposées: aucun électron ne passe dans le conducteur (courant nul, en réalité très peu)



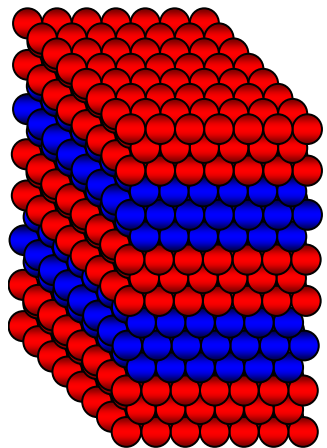
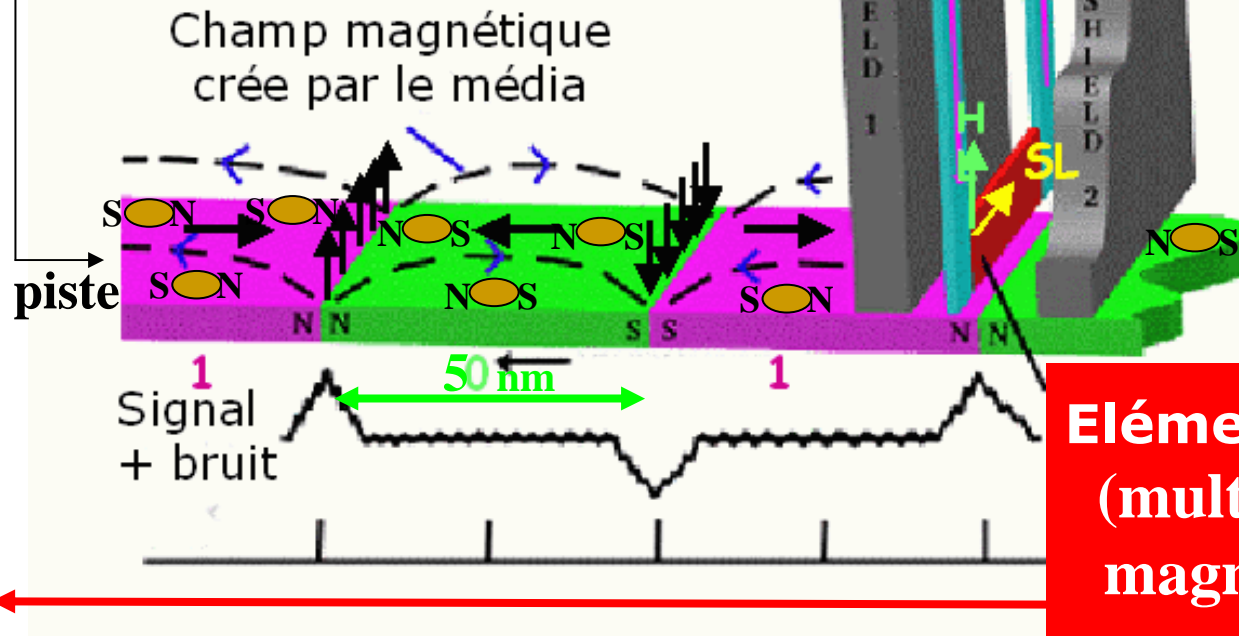
2) Un champ magnétique aligne les aimantations: les spins  passent



**Tête de lecture  
de disque dur**



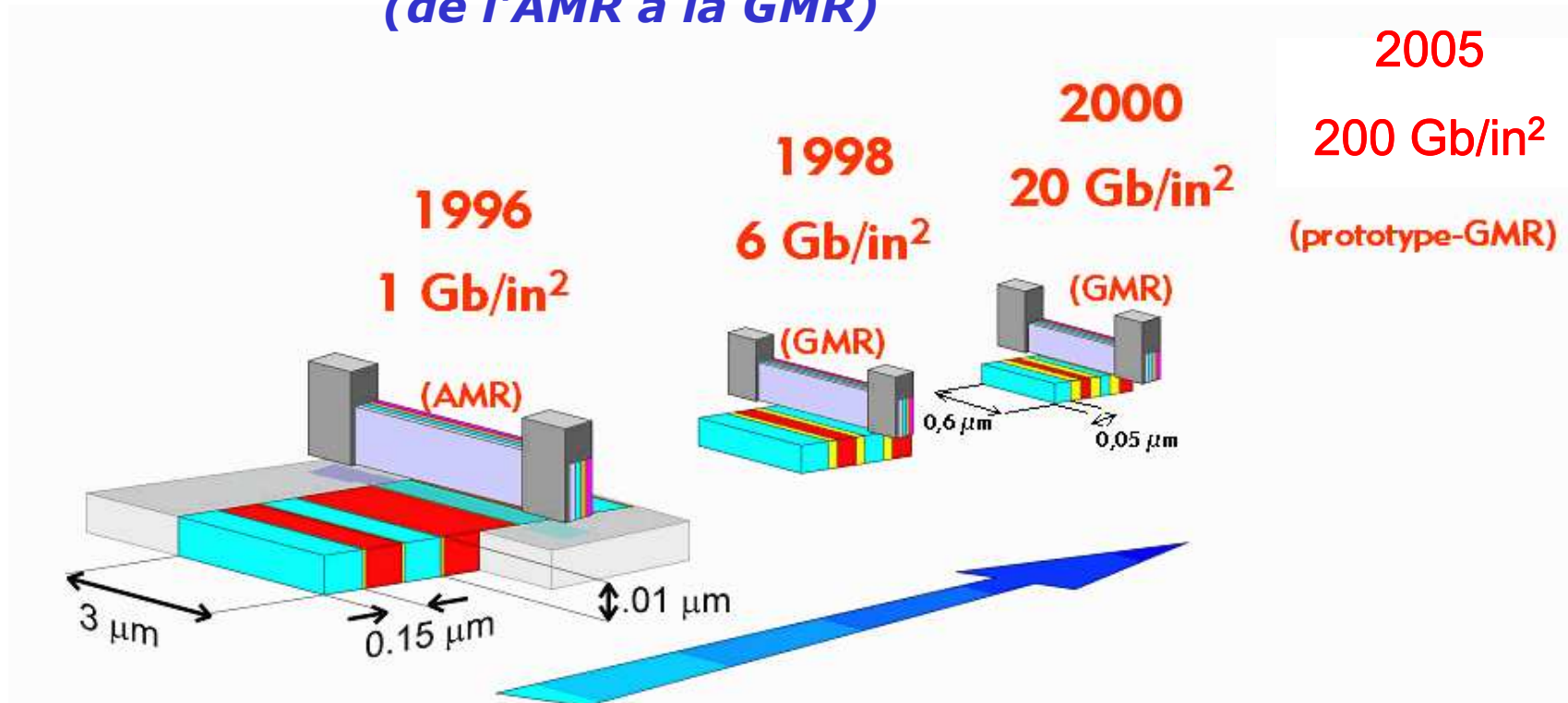
- 40 GB Mobile Drive**
- \$80 to \$100
  - 2 heads (\$10), 1 disk (\$5)
  - 40 Gbit/in<sup>2</sup> to 80 Gbit/in<sup>2</sup>



**Élément GMR  
(multicouche  
magnétique)**

- **Enregistrement magnétique:**

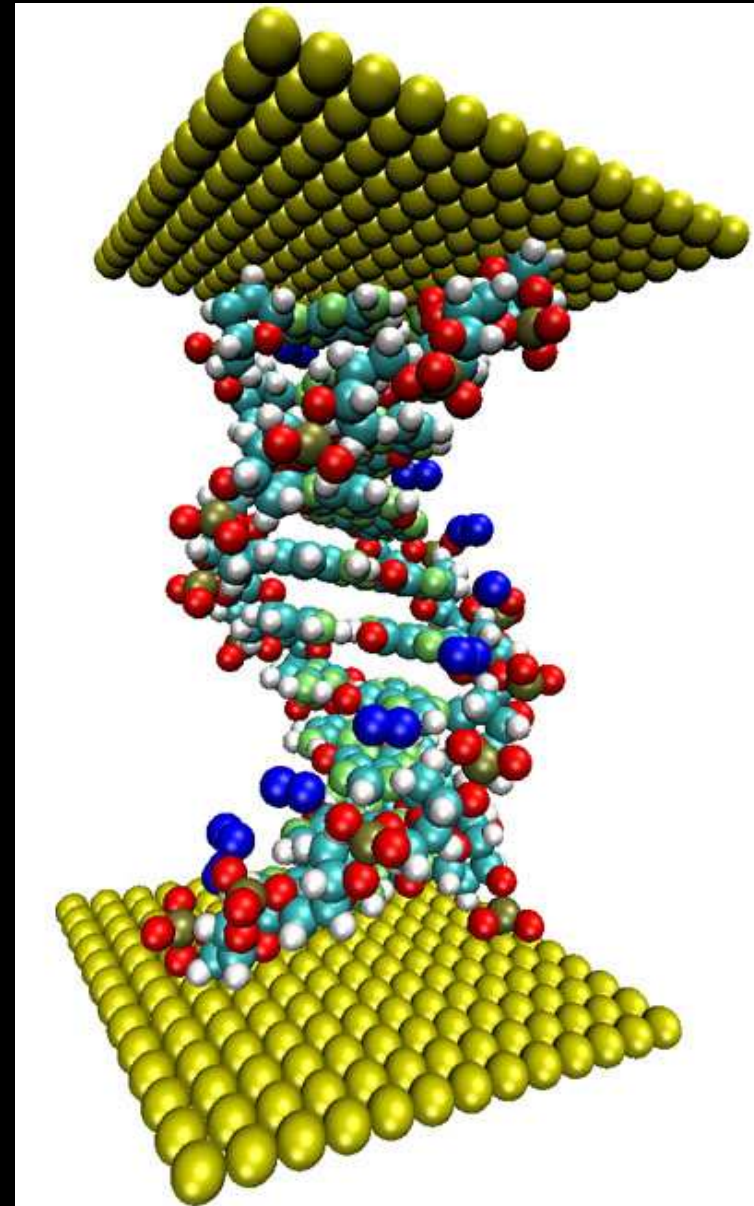
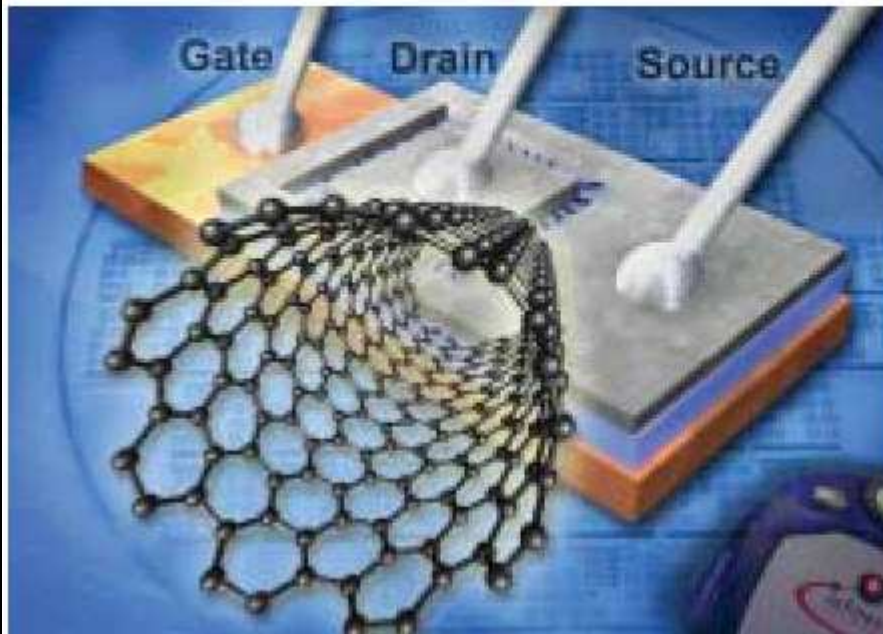
- *évolution des densités surfaciques  
(de l'AMR à la GMR)*



**1 disque dur de 400 Giga-octet peut contenir une information équivalente à environ 800.000 livres (format livre de poche) ou à 1 million de photographies (de définition moyenne) ou à 8000 CD audio (compression MP3) ou à 300 heures video, ou 36 heures video haute def.**

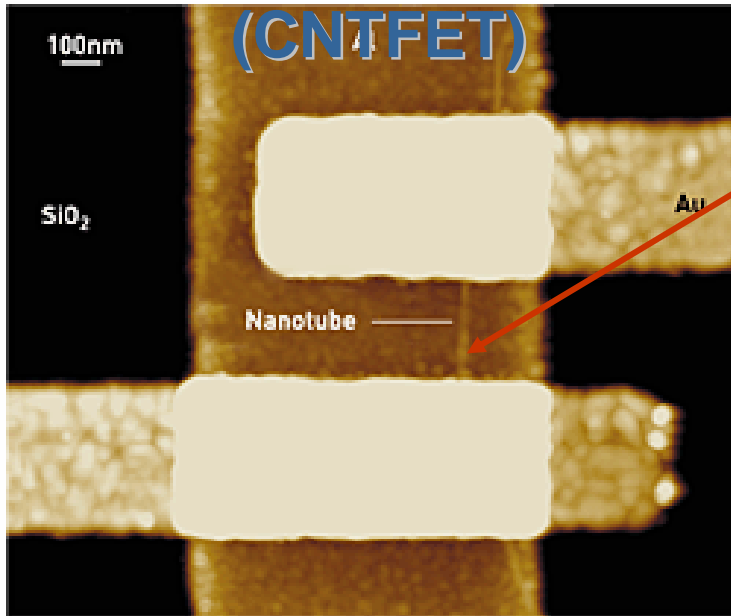
# Electronique moléculaire

Carbon nanotubes



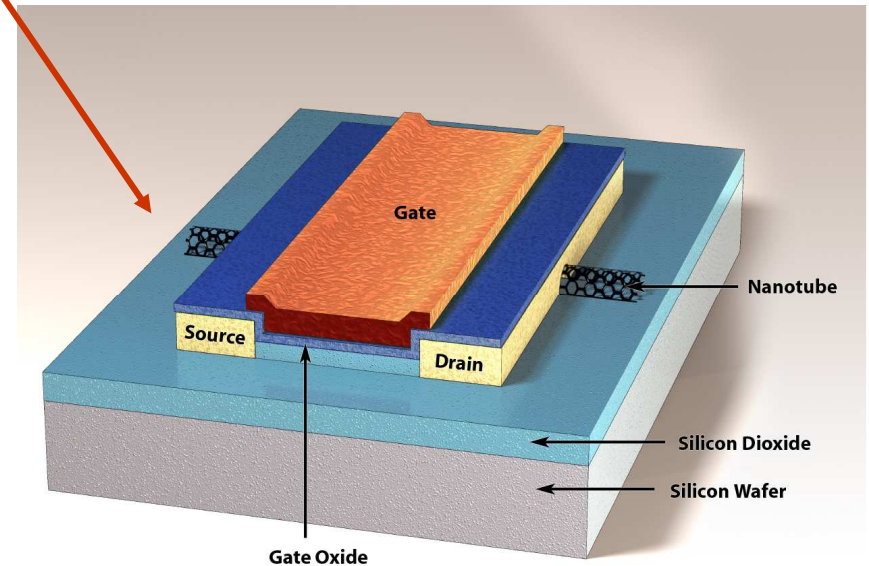
# Transistor à nanotube

## Transistor simple paroi (CNTFET)



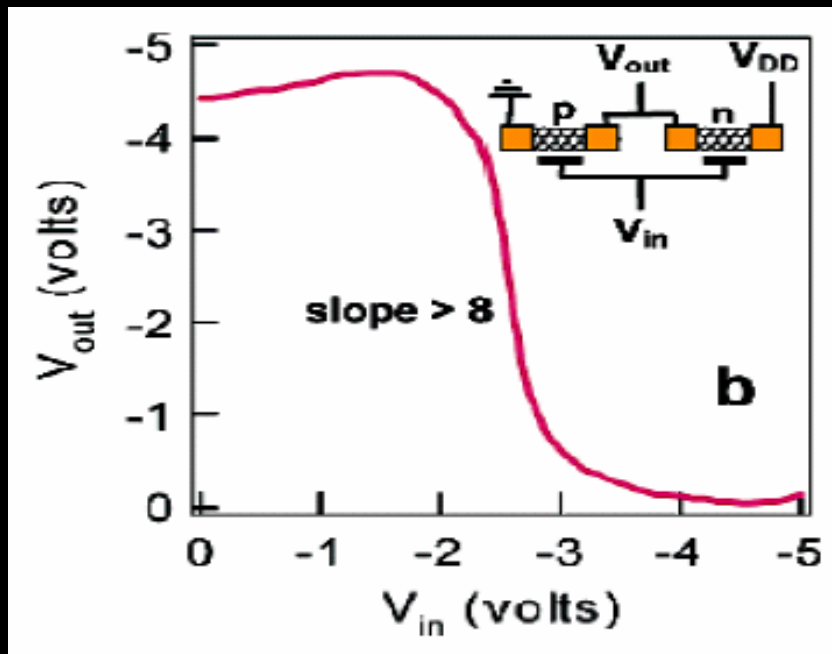
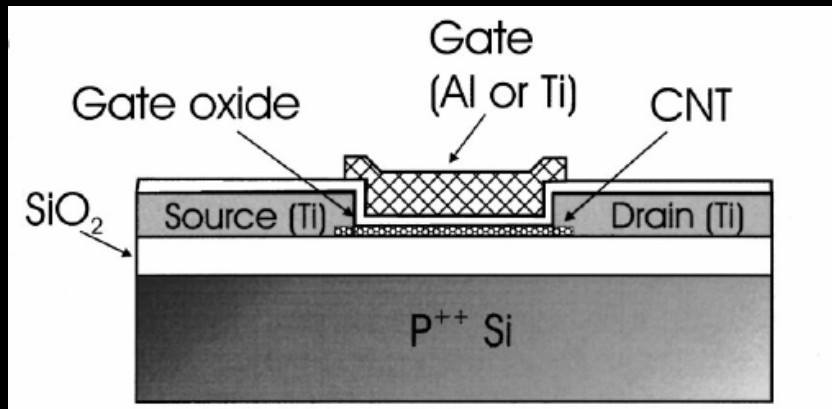
**NANOTUBE TRANSISTOR**

Nanotube  $\phi \sim 1\text{nm}$

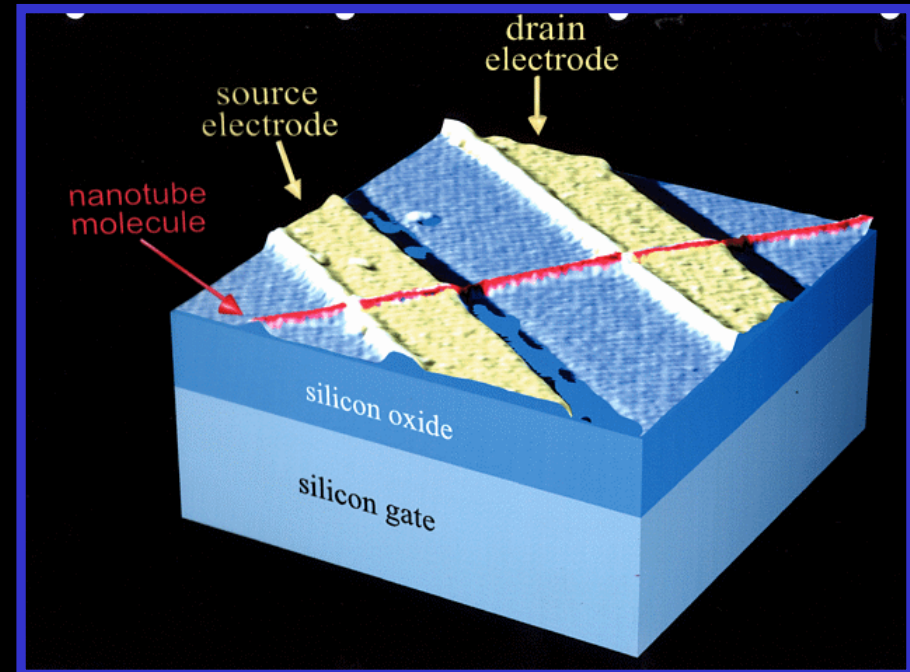




# Transistor à nanotube



CNTFET

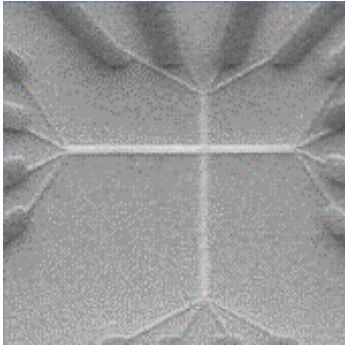


< 1 nm SWCNT transistor

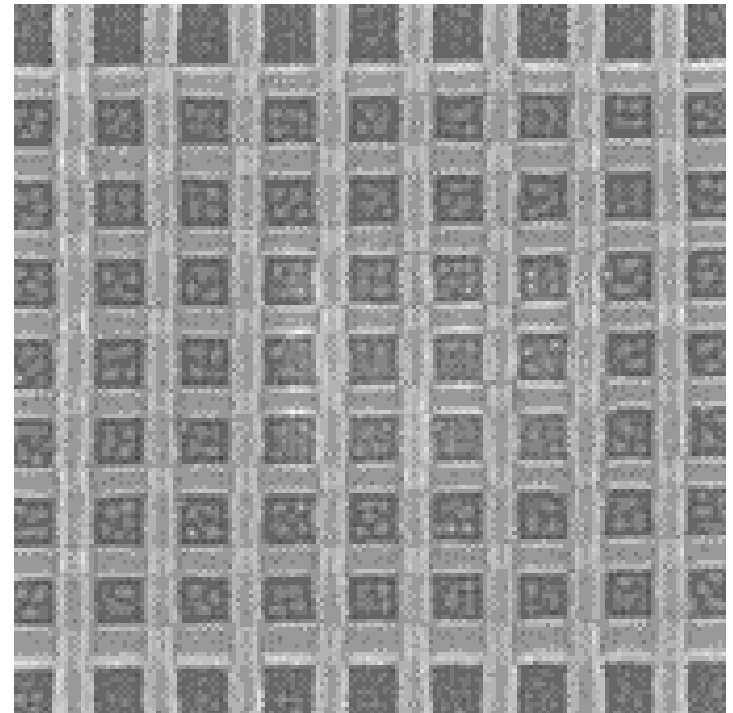
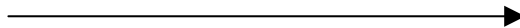
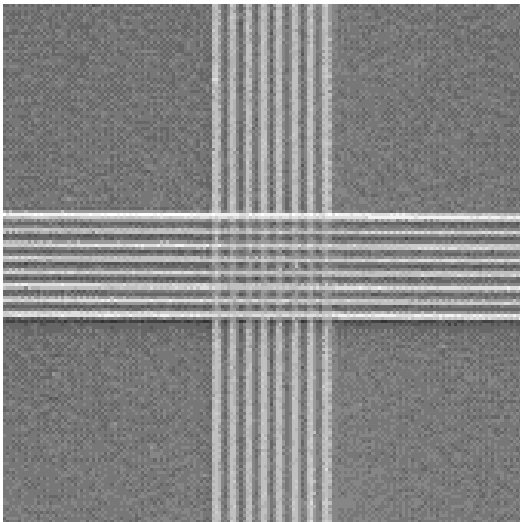


# Mémoire CNT 64 bit

One bit

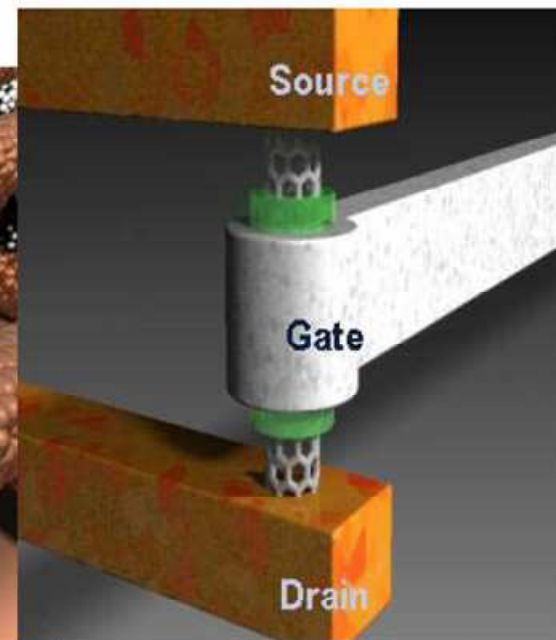
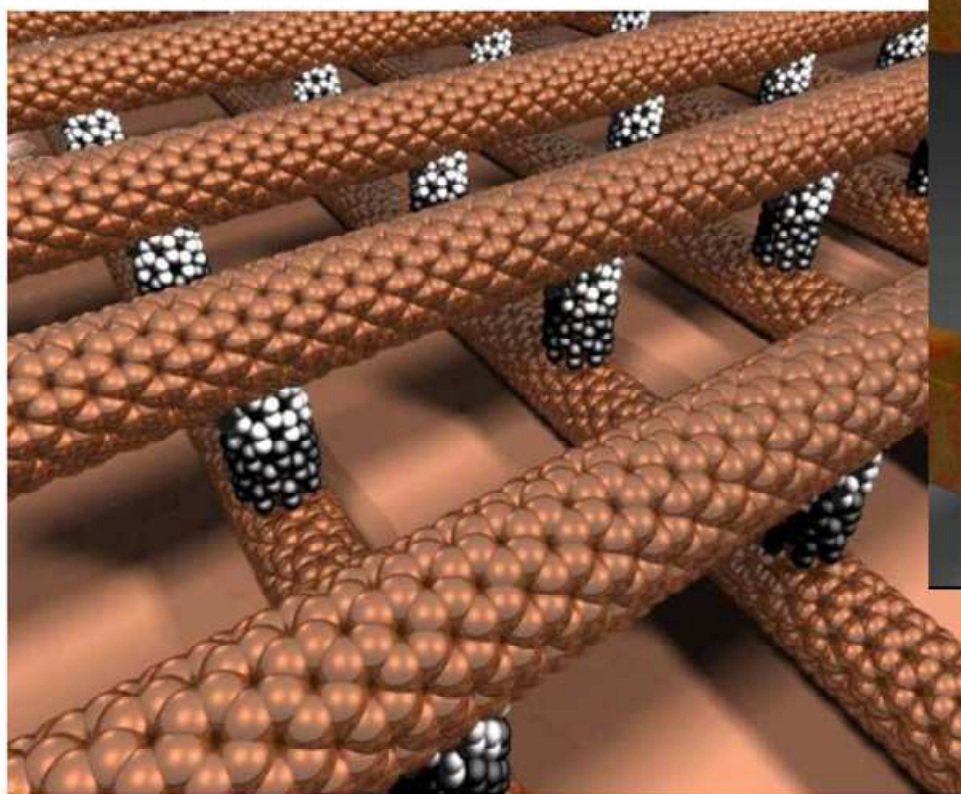


64 bit Memory



*Bistable, Hewlett-Packard, sept 2002*

# Utilisation des nanotubes de carbone



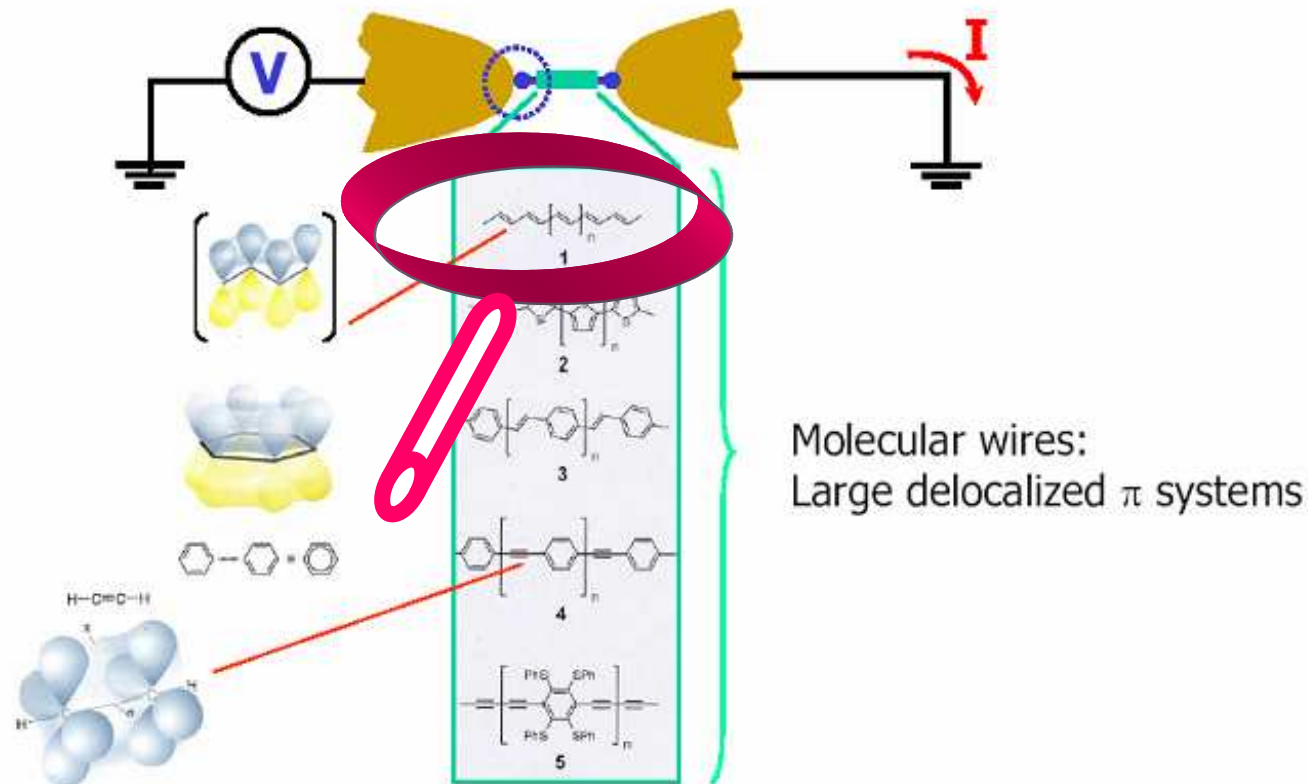
# Ecran plat à nanotubes de carbone



Premier écran plat à CNT, Motorola, 2005



# Transport électronique à travers une seule molécule

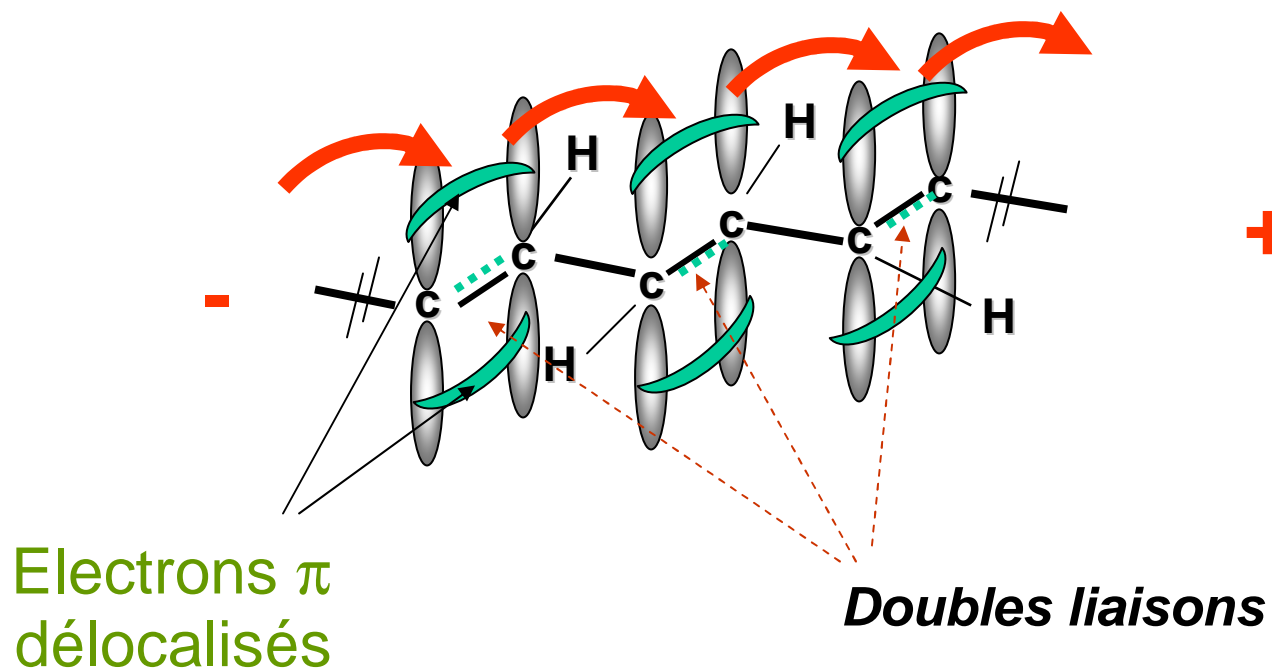


- A) How conductance depends on the binding group of the wire?
- B) How conductance depends on the structure of the wire?

Conductance is a property of the Metal-Molecule-Metal structure



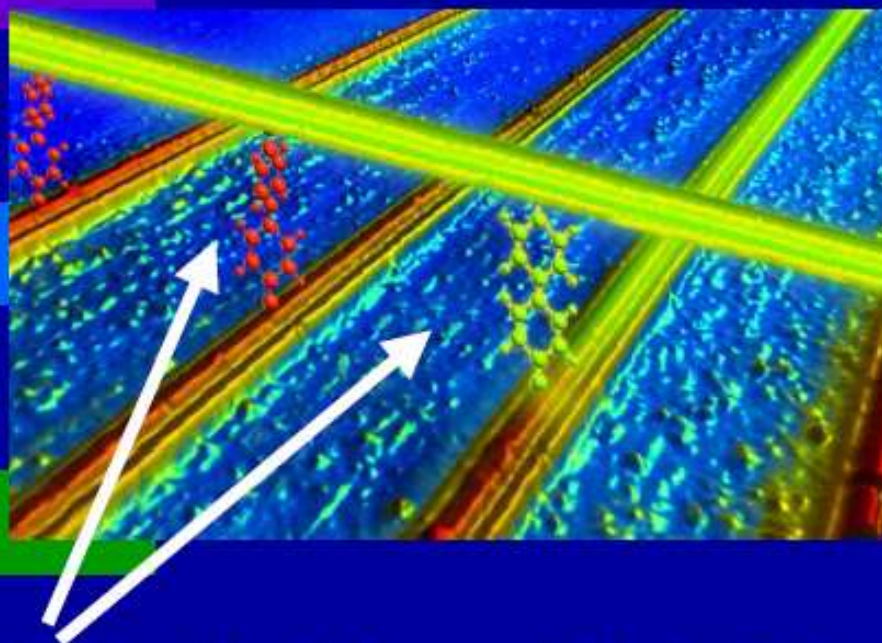
# Transport électronique à travers une seule molécule



Déplacement des électrons délocalisés sous l'effet d'un champ électrique

# Switches moléculaires réversibles pour mémoire (Hewlett-Packard)

## Mémoire Hewlett-Packard



Molécules : film de Langmuir Blodgett intercalé entre deux réseaux de fils métalliques



US006128214A

United States Patent [19]  
Kuckes et al.

[11] Patent Number: 6,128,214  
[45] Date of Patent: Oct. 3, 2000

[54] MOLECULAR WIRE CROSSBAR MEMORY

[75] Inventors: Philip J. Kuckes, Menlo Park, CA; Stanley Williams, Mountain View; James R. Heath, Santa Monica, all of Calif.

[73] Assignee: Hewlett-Packard, Palo Alto, Calif.

[31] Appl. No.: 09/280,289

[22] Filed: Mar. 29, 1999

[51] Int. Cl.<sup>7</sup> G11C 11/00

[52] U.S. Cl. 365/151; 365/153; 365/158

[58] Field of Search 365/151, 128; 365/171, 153, 158; 365/176, 101

[56] References Cited

U.S. PATENT DOCUMENTS

|           |         |                  |            |
|-----------|---------|------------------|------------|
| 3,975,623 | 8/1976  | Wolberger        | 235/152    |
| 4,208,728 | 6/1980  | Blatt et al.     | 365/154    |
| 5,423,970 | 9/1995  | Rust et al.      | 369/176    |
| 5,475,341 | 12/1995 | Rood             | 377/566    |
| 5,519,629 | 5/1996  | Seider           | 364/490    |
| 5,640,345 | 6/1997  | Galagher et al.  | 365/171    |
| 5,779,757 | 3/1998  | Seider et al.    | 365/800    |
| 5,790,773 | 8/1998  | Cobertson et al. | 365/182,05 |
| 6,028,053 | 2/2000  | Pezzoni          | 365/175    |

OTHER PUBLICATIONS

- J.R. Heath et al., "A Defect-Tolerant Computer Architecture: Opportunities for Nanotechnology", *Science*, vol. 280, pp. 1716-1721 (Jan. 12, 1998).
- L. Guo et al., "Nanoscale Silicon Field Effect Transistors Fabricated Using Imprint Lithography", *Applied Physics Letters*, vol. 71, pp. 1881-1883 (Sep. 29, 1997).
- A.M. Morales et al., "A Laser Ablation Method For The Synthesis Of Crystalline Semiconductor Nanowires", *Science*, vol. 279, pp. 208-208 (Jan. 9, 1998).
- J.R. Heath et al., "A Liquid Solution Synthesis Of Single Crystal Germanium Quantum Wires", *Chemical Physics Letters*, vol. 208, No. 3, 4, pp. 263-268 (Jan. 11, 1993).
- V.P. Menon et al., "Fabrication and Evaluation Of Nanoscale Ensembles", *Analytical Chemistry*, vol. 67, pp. 1920-1928 (Jul. 1, 1995).

L. Guo et al., "A Silicon Single-Electron Transistor Memory Operating At Room Temperature", *Science*, vol. 275, pp. 649-651 (Jan. 31, 1997).

S.J. Tans et al., "Room-Temperature Transistor Based On A Single Carbon Nanotube", *Nature*, vol. 393, pp. 49-52 (May 7, 1998).

K.K. Likharev, "Correlated Discrete Transfer Of Single Electrons In Ultrasmall Tunnel Junctions", *IBM Journal of Research and Development*, vol. 32, No. 1, pp. 144-158 (Jan. 1988).

R.E. Jones Jr. et al., "Ferroelectric Non-Volatile Memories For Low-Voltage, Low-Power Applications", *Thin Solid Films*, vol. 270, pp. 584-588 (Dec. 1, 1995).

D.B. Amabilino et al., "Aggregation Of Self-Assembling Branched [α]-Rosinanes", *New Journal of Chemistry*, vol. 22, No. 9, pp. 959-972 (Sep. 11, 1998).

T. Voanneyer et al., "Combinatorial Approaches Toward Patterning Nanocrystals", *Journal of Applied Physics*, vol. 84, No. 7, pp. 3664-3670 (Oct. 1, 1998).

D.V. Loff et al., "Thermodynamic Control Of Gold Nanocrystal Size: Experiment And Theory", *The Journal of Physical Chemistry*, vol. 99, pp. 7036-7041 (May 4, 1995).

J.D.L. Holloway et al., "Electron-Transfer Reactions Of Metalloporphyrins: Influence Of Metal Oxidation State On Structure And Reactivity", *Journal of the American Chemical Society*, vol. 101, pp. 2038-2044 (Apr. 11, 1979).

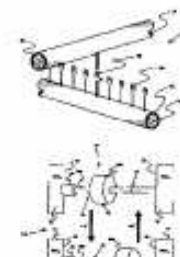
C. Mead et al., "Introduction to VLSI Systems", Addison-Wesley, Ch. 3, Section 10, pp. 79-82 (1980).

Primary Examiner—Son Mai

[57] ABSTRACT

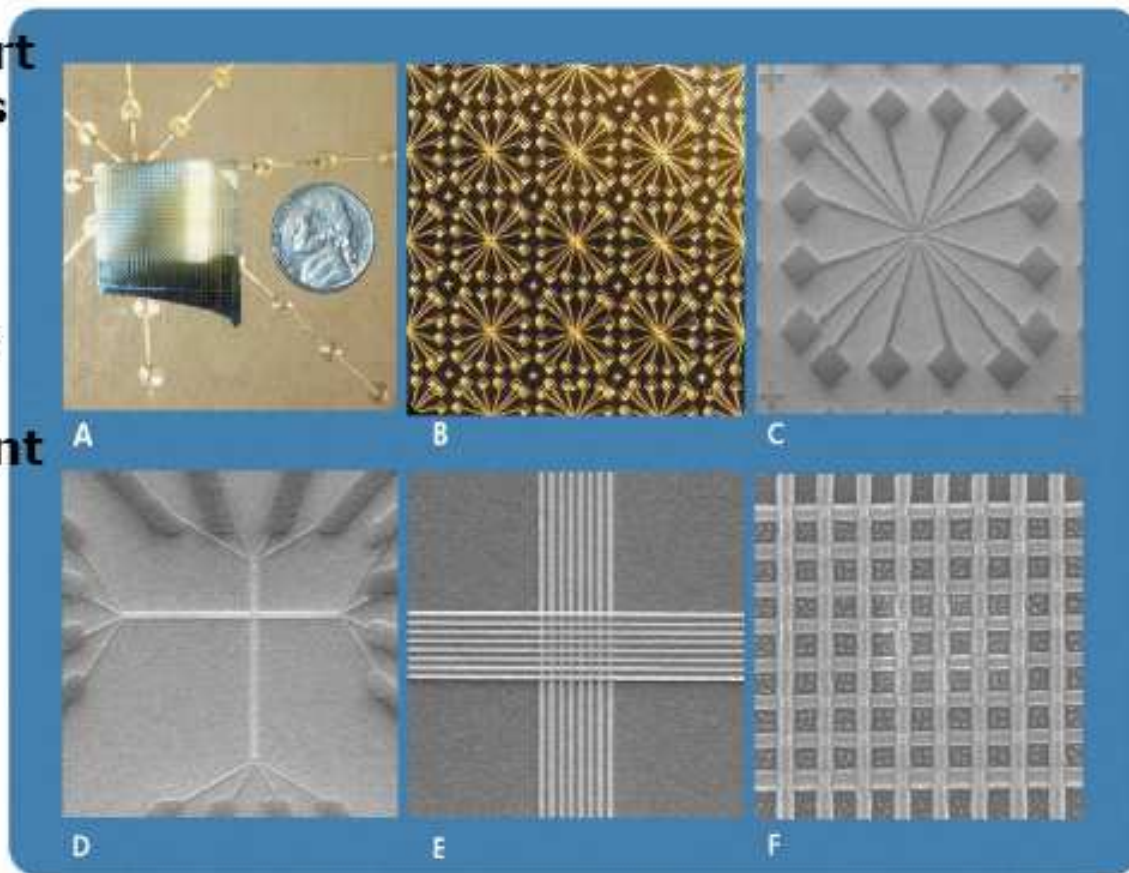
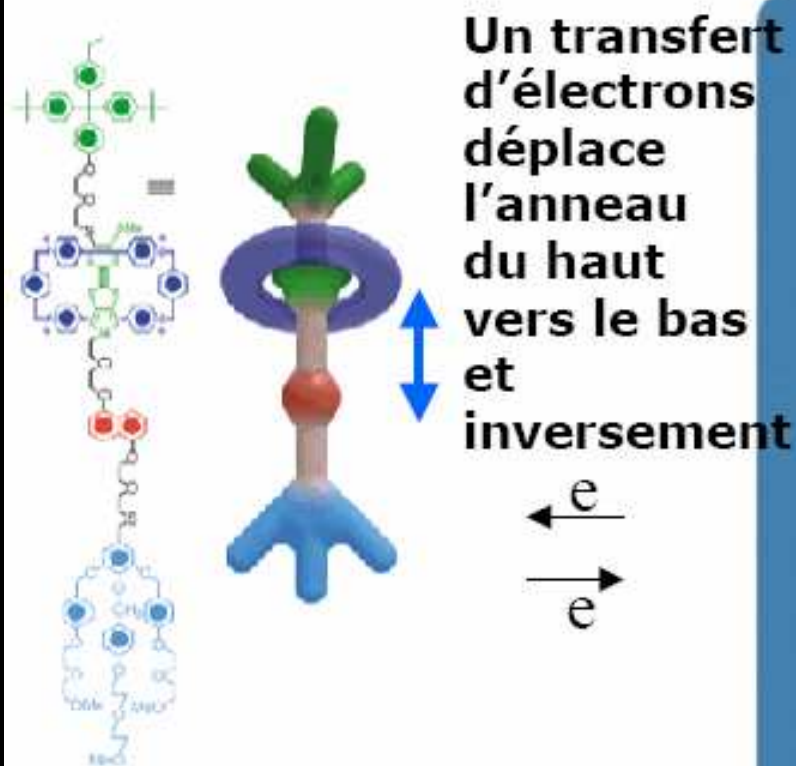
A molecular wire crossbar memory (MWCMM) system is provided. The MWCMM comprises a two-dimensional array of a plurality of nanometer-scale devices, each device comprising a junction formed by a pair of crossed wires where one wire crosses another and at least one connector species connecting the pair of crossed wires in the junction. The connector species comprises a bistable molecular switch. The junction forms either a resistor or a diode or an asymmetric non-linear resistor. The junction has a state that is capable of being altered by application of a first voltage and sensed by application of a second, non-destructive voltage.

31 Claims, 6 Drawing Sheets



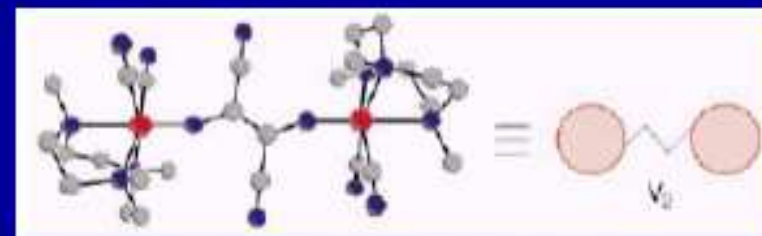
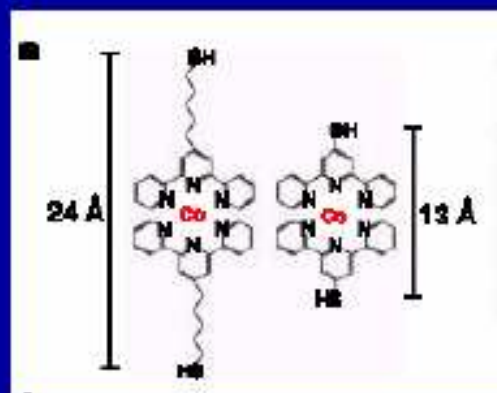
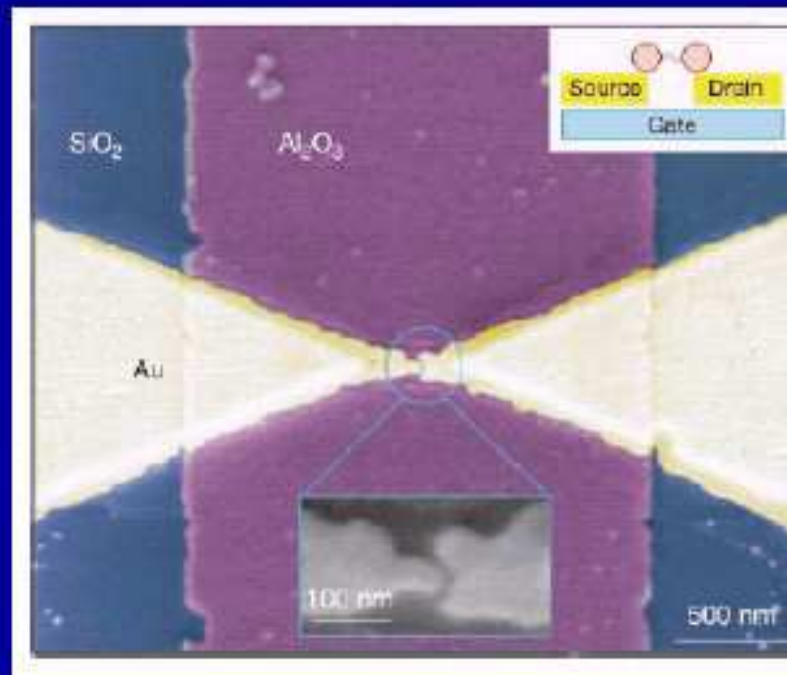
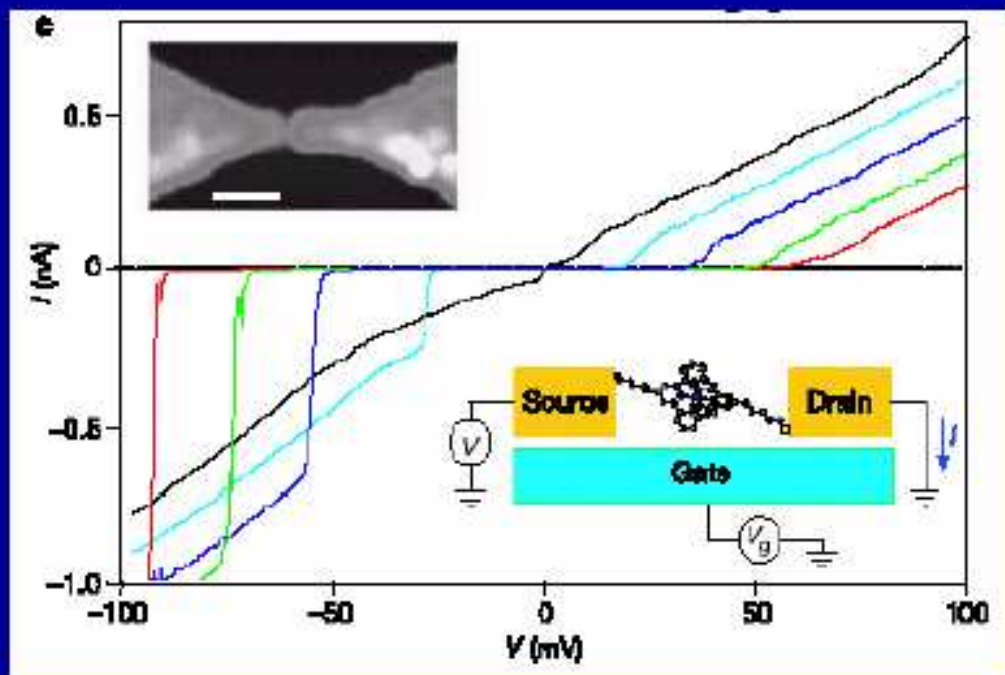


# Switches moléculaires réversibles pour mémoire (Hewlett-Packard)

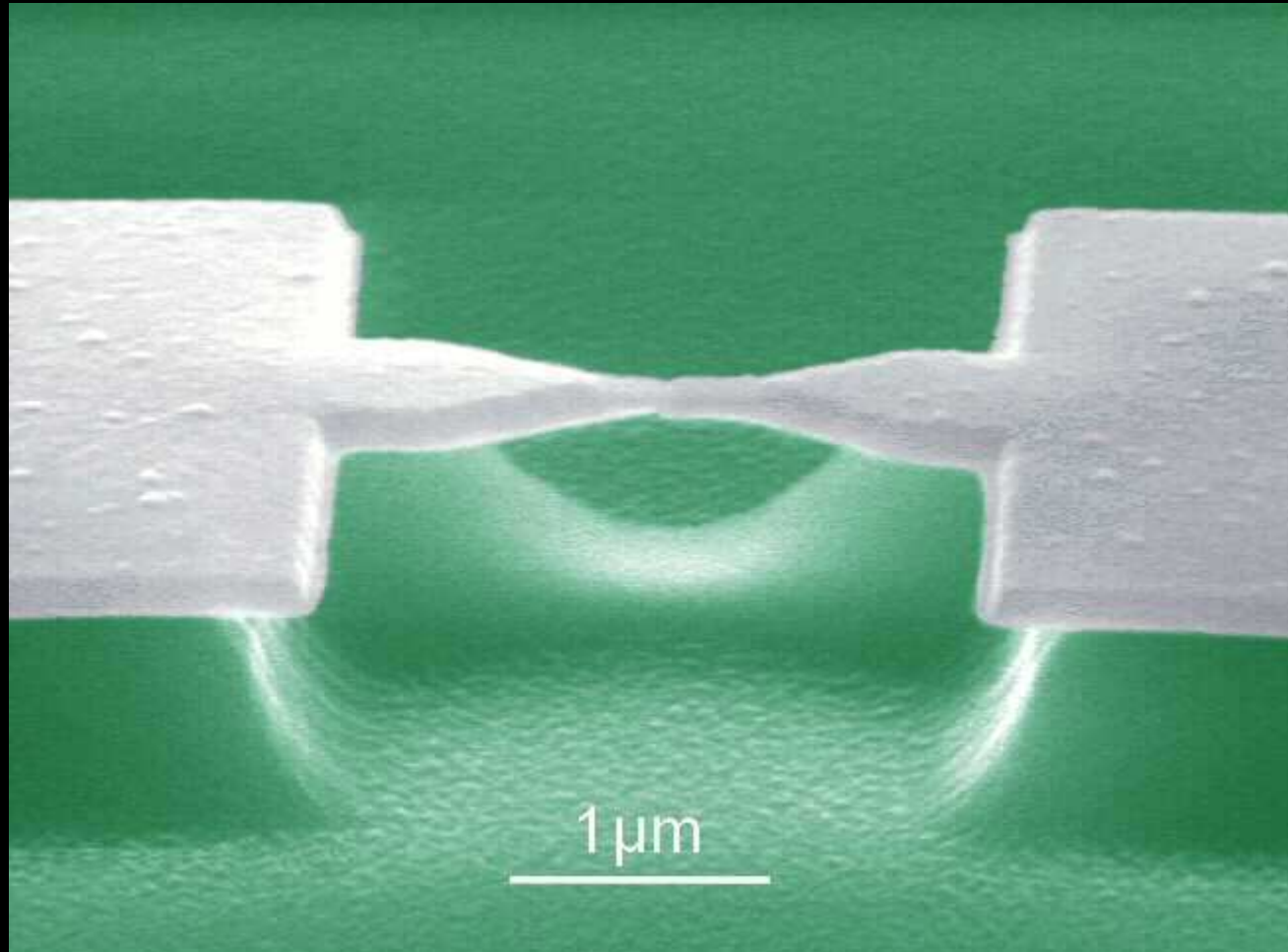


En utilisant des molécules bistables (rotaxanes, caténanes) il serait possible d'atteindre une densité de 64 points mémoire par  $\mu\text{m}^2$

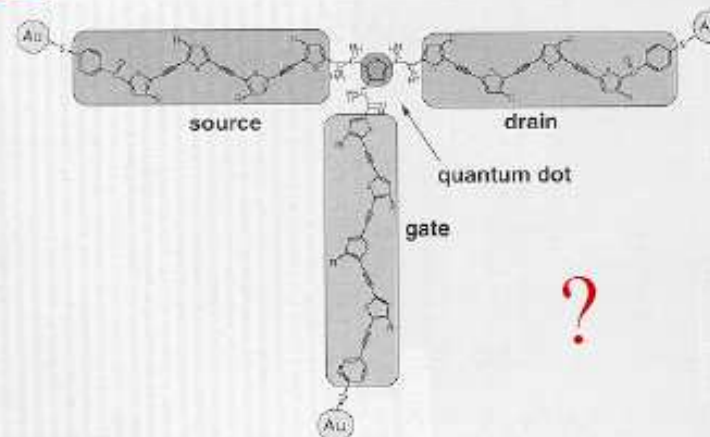
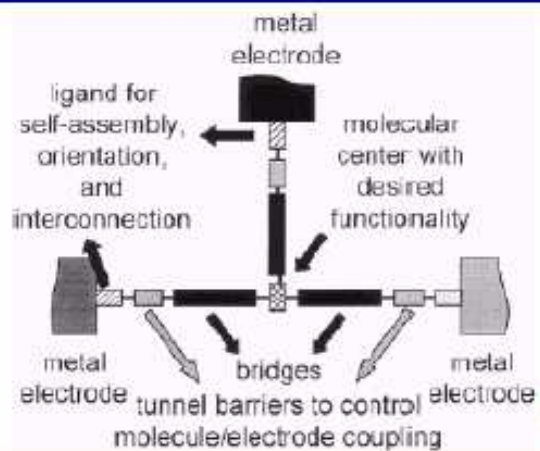
# Transistor hybride uni-moléculaire



# Contact moléculaire

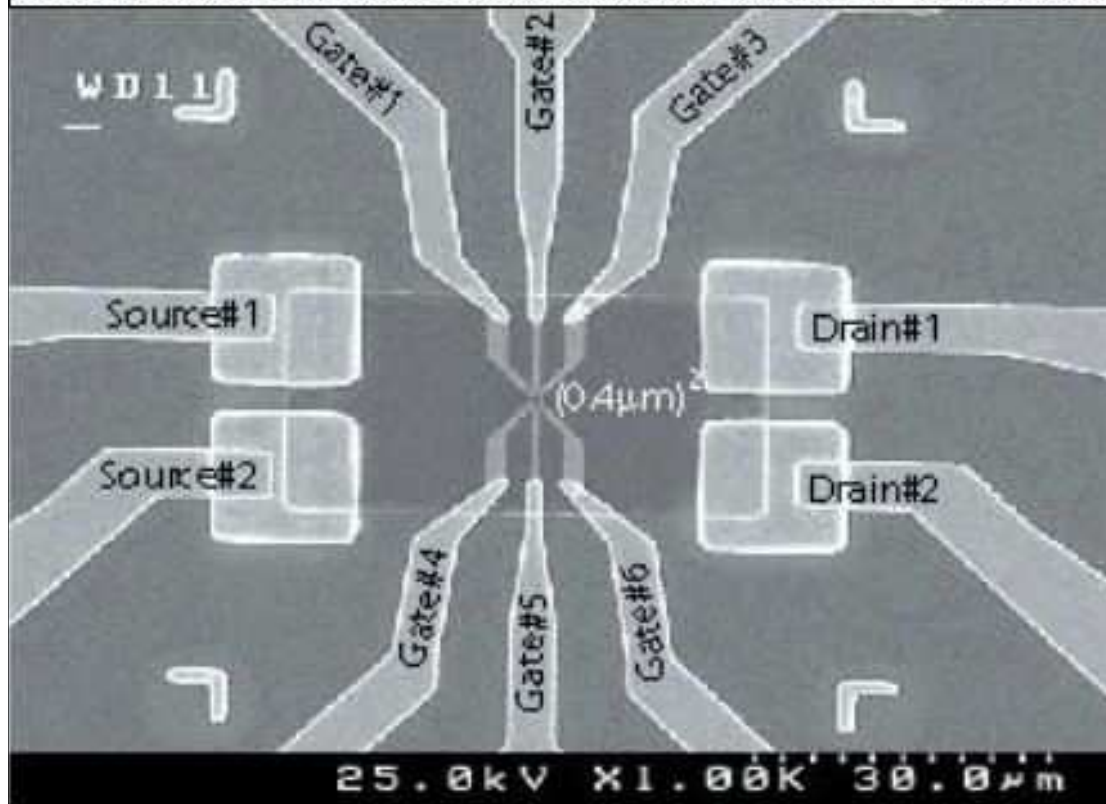


# Transistor uni-moléculaire





## Single Electron Transistor using a GaAs/AlGaAs 2-D Superlattice

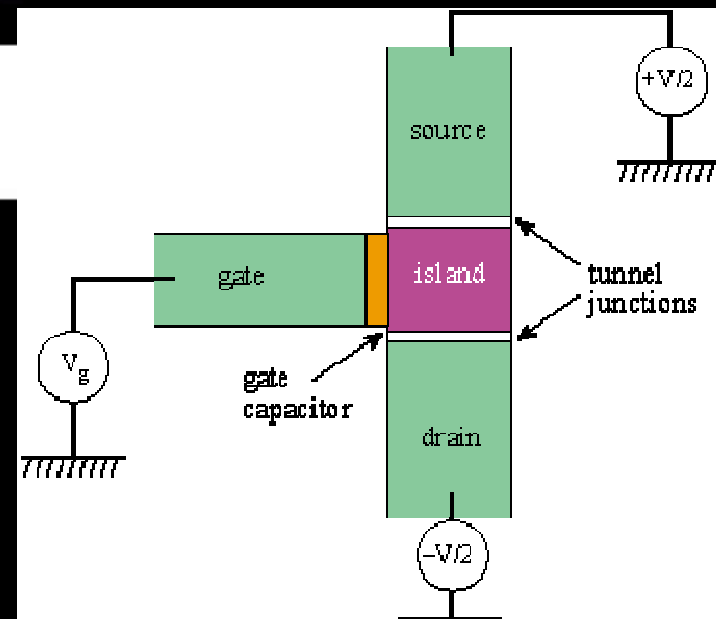


The ultimate downscaling of transistors is to use only one electron to carry the digital information. The number of electrons confined in the device is quantized, as verified by electrical transport measurements.

Nanostructure en silicium ;  $S = 10 \text{ nm}$  ; épaisseur  $t = 10 \text{ nm}$

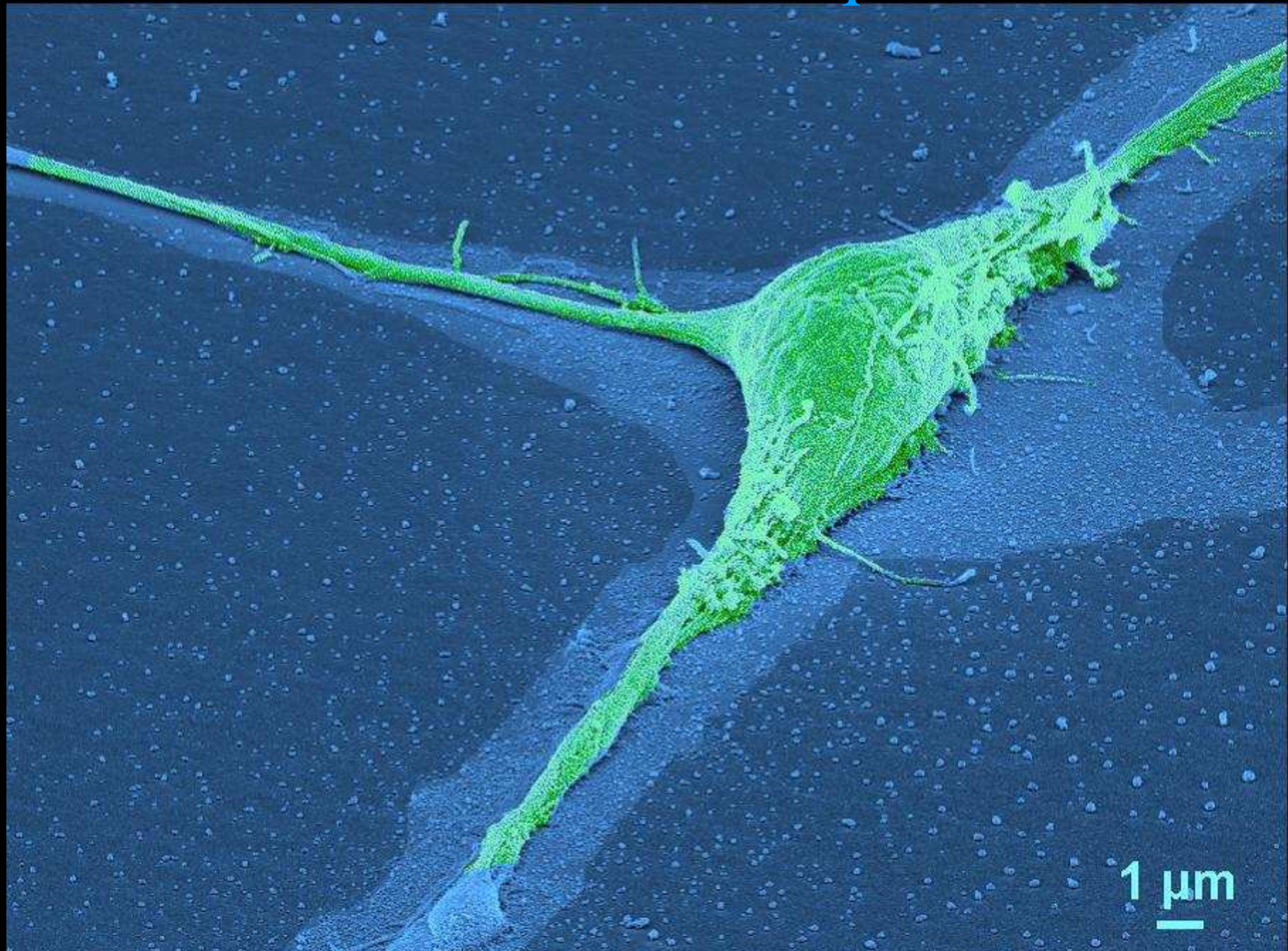
$$\Delta V = e/C ; C = \epsilon_r \epsilon_0 S/t \sim 200 \text{ mV}$$

# Single Electron Transistor (SET)





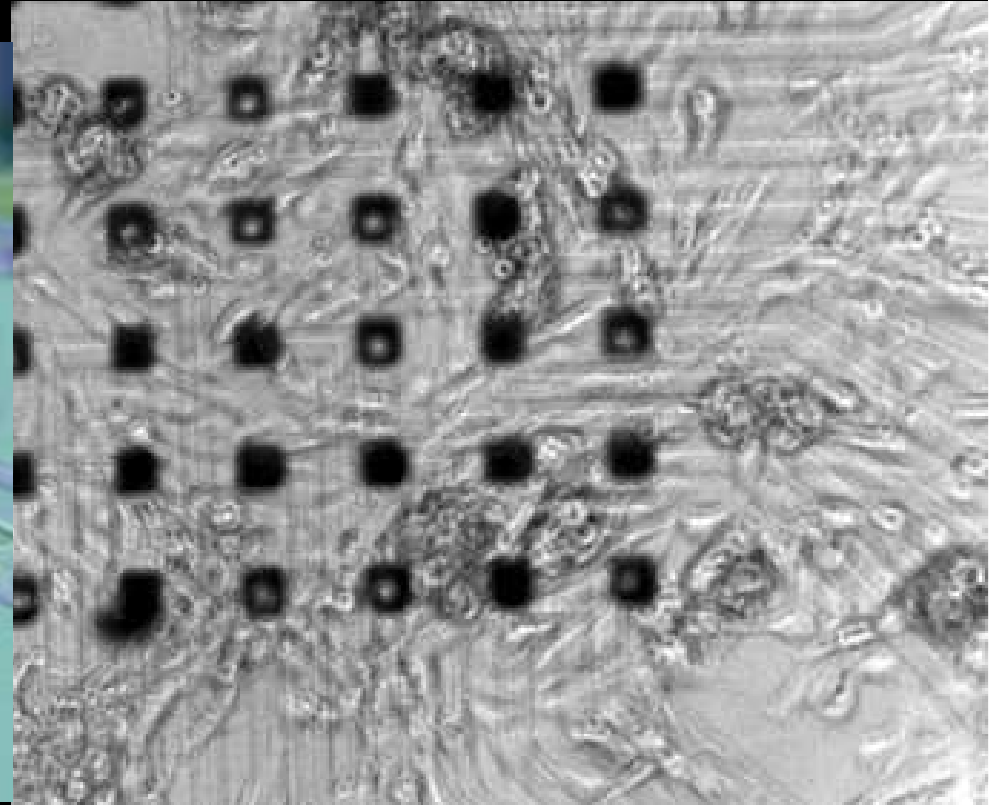
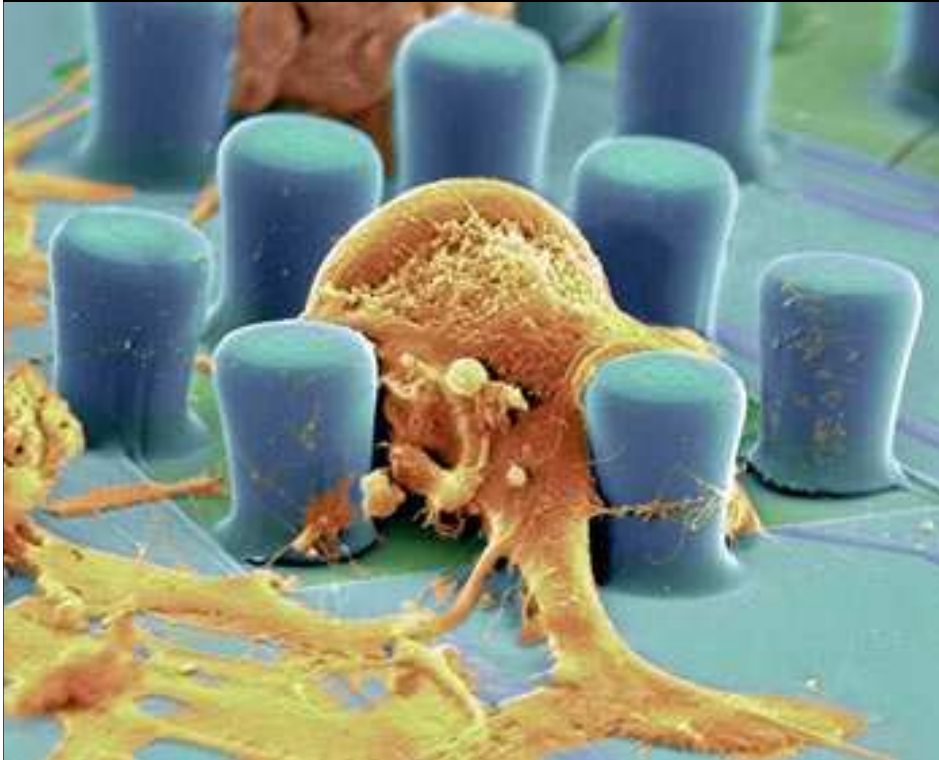
# Neuro électronique

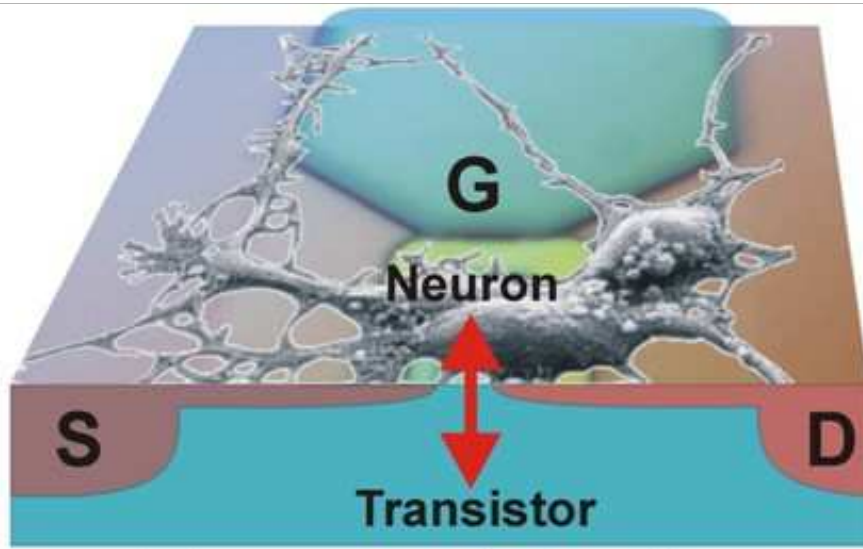




# Neuro électronique

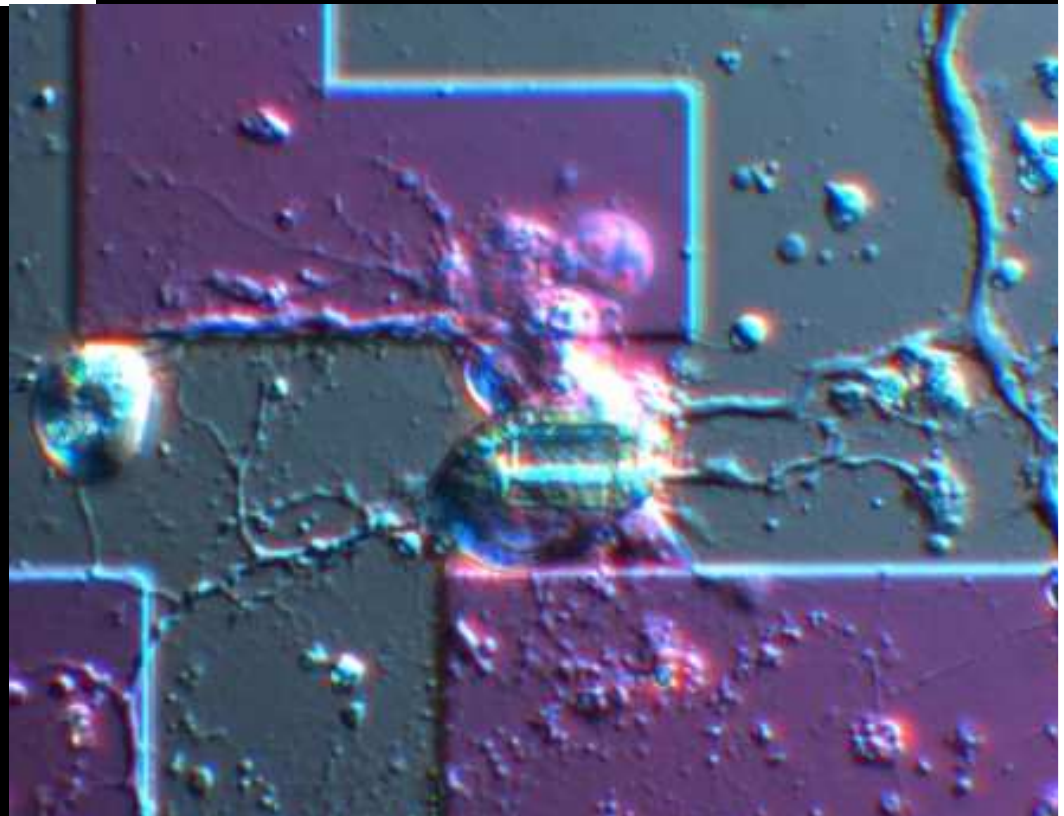
interface cellule biologique – composants électroniques



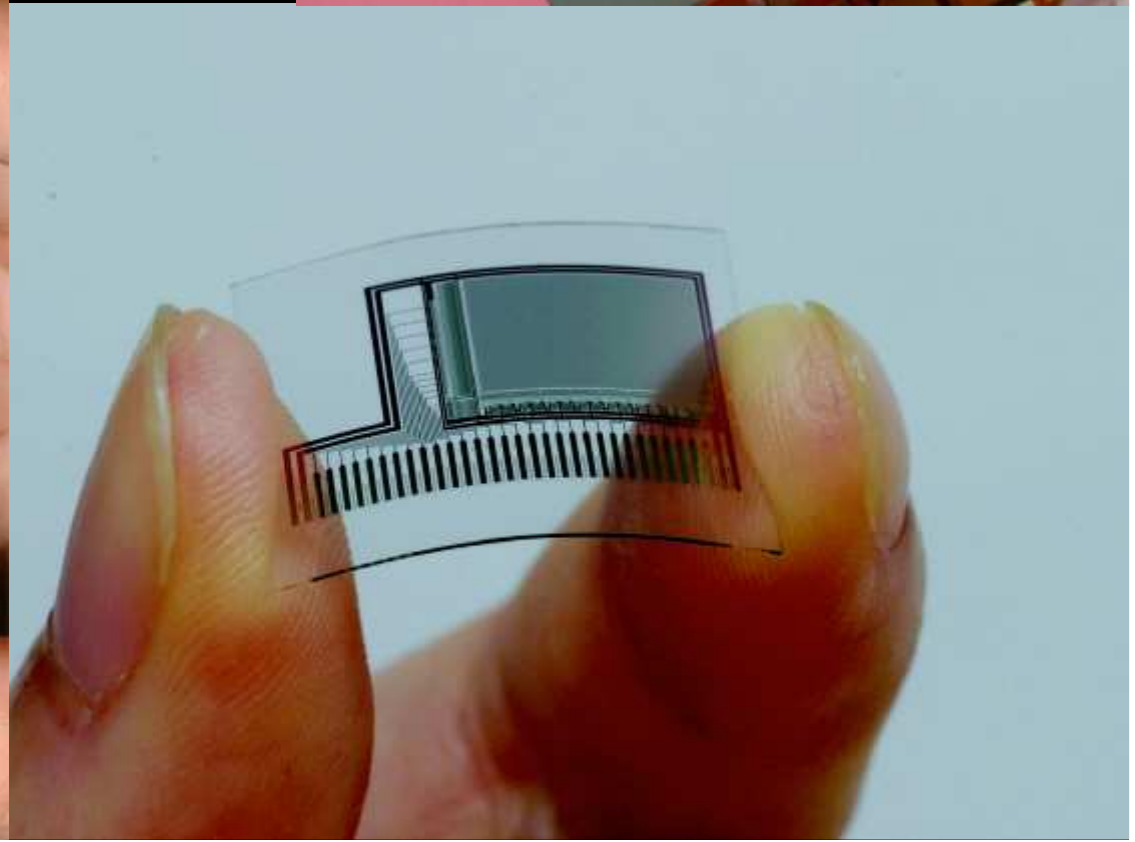
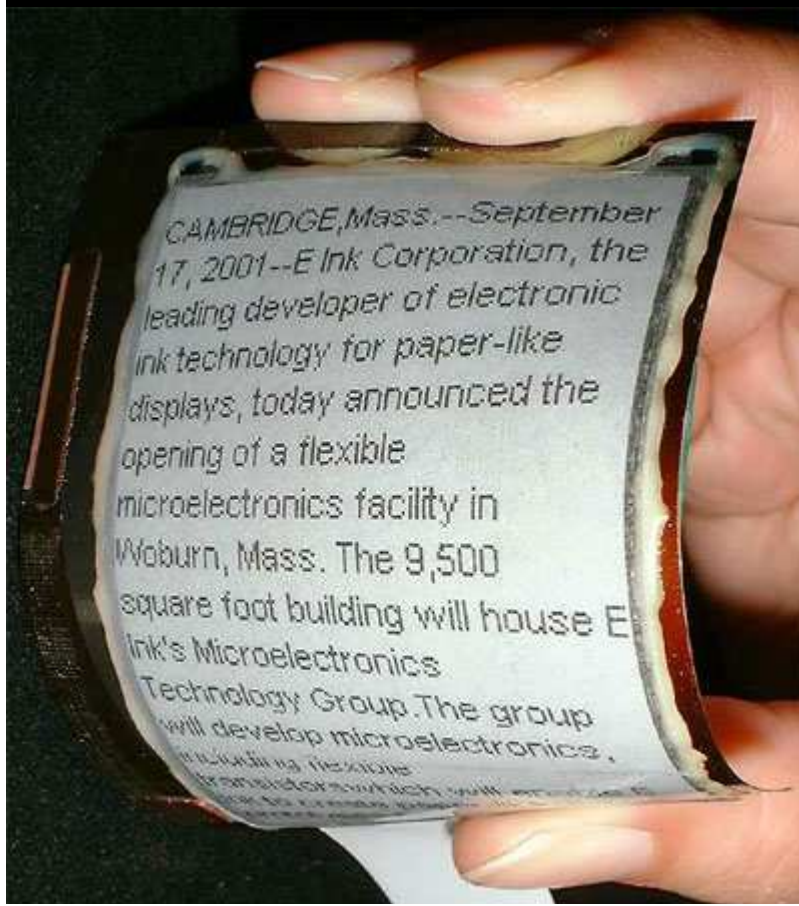


**Two-way interface**

# Neuro électronique



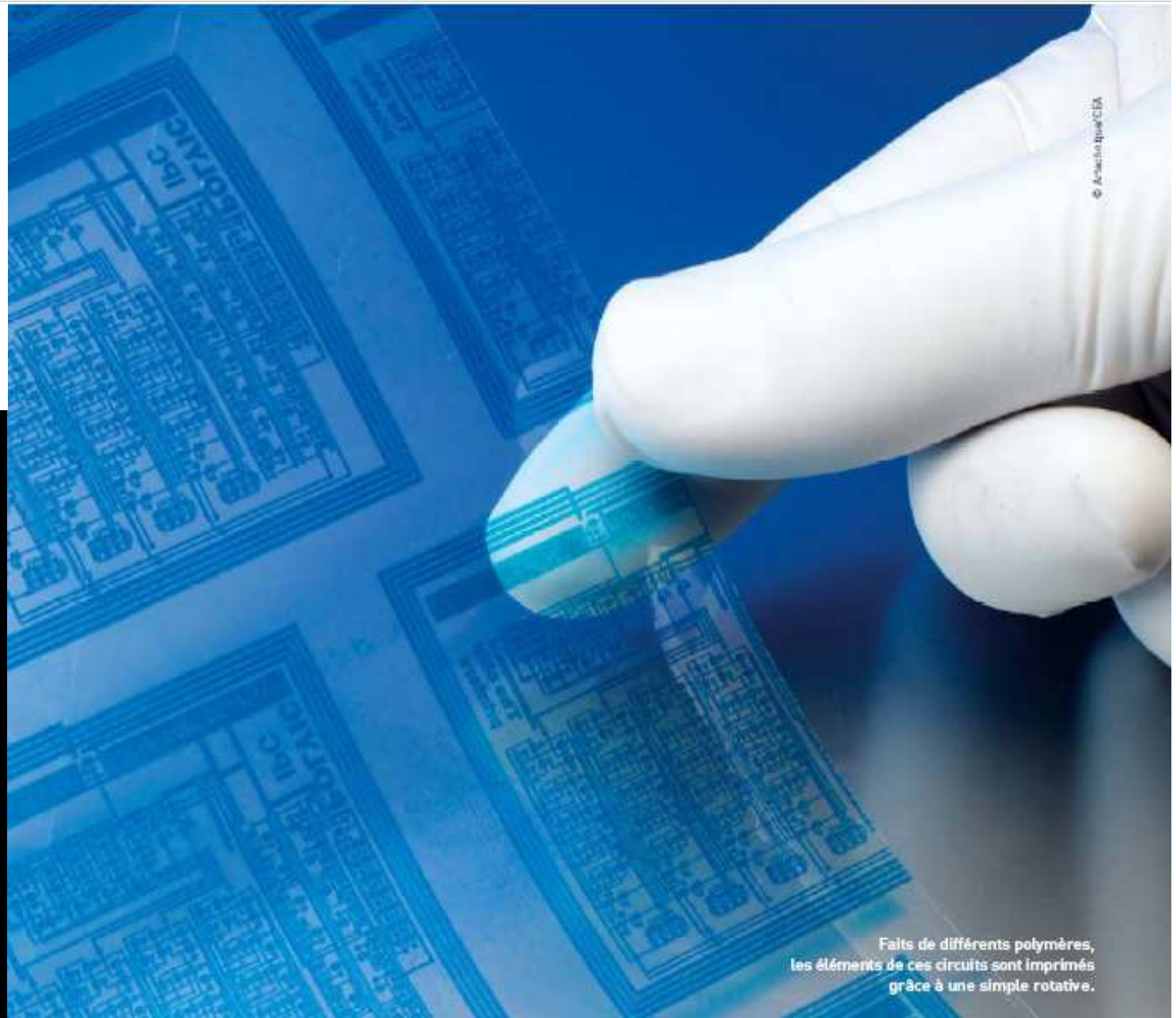
# Electronique sur substrat souple







*Merci de  
votre  
attention*



*Electronique sur circuit souple (crédit : CEA)*